

Best Available Copy

PCT/JP2004/011504

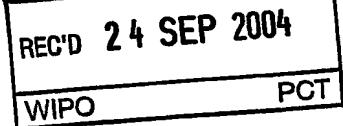
日本国特許庁
JAPAN PATENT OFFICE

04.8.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 5月26日



出願番号
Application Number: 特願2004-156409

[ST. 10/C]: [JP2004-156409]

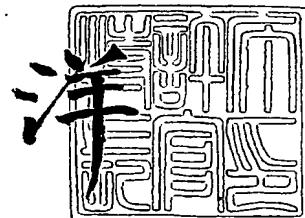
出願人
Applicant(s): 松下電器産業株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 9月10日

特許庁長官
Commissioner,
Japan Patent Office

小川



出証番号 出証特2004-3081716

【書類名】 特許願
【整理番号】 2110050101
【提出日】 平成16年 5月26日
【あて先】 特許庁長官殿
【国際特許分類】 G09G 3/28
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 田中 和人
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 丹羽 彰夫
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 笠原 光弘
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 益盛 忠行
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 清家 守
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100098305
 【弁理士】
 【氏名又は名称】 福島 祥人
 【電話番号】 06-6330-5625
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-289012
 【出願日】 平成15年 8月 7日
【手数料の表示】
 【予納台帳番号】 032920
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0006013

【書類名】特許請求の範囲**【請求項 1】**

複数の放電セルと、

クロック信号を発生するクロック信号発生手段と、

表示すべき画像に応じたシリアルデータを発生するシリアルデータ発生手段と、

テスト信号を発生するテスト信号発生手段と、

点灯させるべき放電セルを選択するための書き込み期間において、前記クロック信号に同期して前記シリアルデータ発生手段により発生されるシリアルデータをラッチして出力し、前記書き込み期間以外の調整期間において、テスト信号発生手段により発生されるテスト信号をラッチして出力するラッチ手段と、

前記書き込み期間において、前記ラッチ手段から出力されるシリアルデータに基づいて前記複数の放電セルに選択的に駆動パルスを印加するデータドライバと、

前記調整期間において、前記ラッチ手段から出力されるテスト信号に基づいて前記ラッチ手段によるラッチミスの有無を検出するラッチミス検出手段と、

前記ラッチミス検出手段によりラッチミスが検出された場合に、ラッチミスが検出されたクロック信号の位相に基づいて前記クロック信号発生手段から前記ラッチ手段に与えられるクロック信号の位相を調整する位相調整手段とを備えたことを特徴とする表示装置。

【請求項 2】

前記データドライバは複数のデータドライバ部を含み、

前記ラッチ手段は、前記複数のデータドライバ部に対応して複数のラッチ回路を含み、

前記ラッチミス検出手段は、前記複数のラッチ回路に対応して設けられ、対応するラッチ回路から出力されるテスト信号に基づいてそのラッチ回路によるラッチミスの有無を検出する複数のラッチミス検出回路を含み、

前記位相調整手段は、前記複数のラッチミス検出回路のうち少なくとも1つによりラッチミスが検出された場合に、前記クロック信号発生手段から前記複数のラッチ回路に与えられるクロック信号の位相を調整することを特徴とする請求項1記載の表示装置。

【請求項 3】

前記複数のラッチミス検出回路は、オープンドレイン出力を有し、

前記位相調整手段は、前記複数のラッチミス検出回路のオープンドレイン出力をワイヤードオア接続を介して受けることを特徴とする請求項2記載の表示装置。

【請求項 4】

前記テスト信号は、前記クロック信号の1周期ごとに反転する交番パルス信号であることを特徴とする請求項1～3のいずれかに記載の表示装置。

【請求項 5】

前記位相調整手段は、所定の間隔ごとにクロック信号の位相を調整することを特徴とする請求項1～4のいずれかに記載の表示装置。

【請求項 6】

前記位相調整手段は、複数フィールドごとにクロック信号の位相を調整することを特徴とする請求項1～5のいずれかに記載の表示装置。

【請求項 7】

前記位相調整期間は、複数の調整期間を含み、

前記位相調整手段は、1つの調整期間に前記クロック信号の調整が終了しない場合には、次の調整期間の最初から前記クロック信号の位相調整の続きをを行うことを特徴とする請求項1～6のいずれかに記載の表示装置。

【請求項 8】

前記ラッチミス検出手段は、前記テスト信号を前記クロックの1周期分遅延させた第1のテスト信号と、前記テスト信号を前記クロックの2周期分遅延させた第2のテスト信号との排他的論理和に基づいて、ラッチミスの有無を示すラッチミス検出信号を生成することを特徴とする請求項4～7のいずれかに記載の表示装置。

【請求項 9】

前記ラッチミス検出手段は、前記ラッチミス検出信号を順に所定の遅延量ずつ遅延させた複数のラッチミス検出信号を生成し、前記複数のラッチミス検出信号の論理積を生成することを特徴とする請求項8に記載の表示装置。

【請求項10】

前記ラッチミス検出手段は、リセット信号が入力されるまでラッチミスの検出結果を保持する保持回路を含むことを特徴とする請求項1～9のいずれかに記載の表示装置。

【請求項11】

前記ラッチミス検出手段は、ラッチミスの検出結果に基づいて前記リセット信号を生成するリセット信号生成手段をさらに含むことを特徴とする請求項10記載の表示装置。

【請求項12】

前記リセット信号生成手段は、ラッチミスの検出結果を遅延させる遅延手段を含むことを特徴とする請求項11記載の表示装置。

【請求項13】

前記位相調整手段は、

前記クロック信号を所定の遅延量ずつ遅延させる複数の遅延素子を含むリングバッファと、

前記リングバッファの前記複数の遅延素子から出力される複数のクロック信号を選択的に出力する選択手段とを含むことを特徴とする請求項1～12のいずれかに記載の表示装置。

【請求項14】

前記位相調整手段は、

異なる数の遅延量をそれぞれ有する複数の遅延回路と、

前記複数の遅延回路のうち1または複数を選択し、選択された1または複数の遅延回路により直列接続回路を構成するとともに前記クロック信号を前記直列接続回路に与える接続手段とを含むことを特徴とする請求項1～13のいずれかに記載の表示装置。

【請求項15】

前記位相調整手段は、前記クロック信号を2周期分遅延させるまでに前記クロック信号の位相の調整を終了することを特徴とする請求項1～14のいずれかに記載の表示装置。

【請求項16】

前記位相調整手段は、調整されるクロック信号の位相が最適位相となったことを検出し、クロック信号の位相が最適位相となったことが検出された場合に前記クロック信号の位相の調整を終了することを特徴とする請求項1～15のいずれかに記載の表示装置。

【請求項17】

前記位相調整手段により調整されたクロック信号の位相を最適位相として記憶する第1の記憶手段をさらに備え、

前記位相調整手段は、前記第1の記憶手段により前記最適位相が記憶された後の書き込み期間には、前記クロック信号の位相を前記第1の記憶手段に記憶された前記最適位相に調整することを特徴とする請求項1～16のいずれかに記載の表示装置。

【請求項18】

前記位相調整手段は、前記調整期間に前記クロック信号の調整が終了しない場合には、前記クロック信号の位相を予め前記第1の記憶手段に記憶された位相に調整することを特徴とする請求項17記載の表示装置。

【請求項19】

前記位相調整手段は、前記クロック信号の位相を変化させて前記ラッチミスが発生しない位相の範囲を検出し、検出された範囲が所定のしきい値以上の場合に、前記検出された位相の範囲の中央の位相を前記最適位相として前記第1の記憶手段に記憶させることを特徴とする請求項17または18記載の表示装置。

【請求項20】

前記位相制御手段は、前記シリアルデータの開始部が前記データドライバに出力されると同時に前記調整されたクロック信号がデータドライバに出力されるように前記シリアルデ

ータに対するクロック信号の相対的な位相を調整することを特徴とする請求項17～19のいずれかに記載の表示装置。

【請求項21】

前記位相調整手段は、前記クロック信号の位相が最適位相となったことが検出された場合に、前記データドライバに出力されるシリアルデータの開始部の位相と前記データドライバに出力されるクロック信号の開始部の位相とが実質的に一致するように前記シリアルデータの位相を調整することを特徴とする請求項20記載の表示装置。

【請求項22】

前記位相調整手段により調整された前記シリアルデータの位相を最適位相として記憶する第2の記憶手段をさらに備え、

前記位相調整手段は、前記第2の記憶手段により前記最適位相が検出された後の書き込み期間には、前記シリアルデータの位相を前記第2の記憶手段に記憶された前記最適位相に調整する請求項21記載の表示装置。

【請求項23】

前記位相調整手段は、前記クロック信号の最適位相または前記シリアルデータの最適位相が検出されなかった場合に、前記クロック信号の位相を前記第1の記憶手段に前回記憶された最適位相に調整するとともに前記シリアルデータの位相を前記第2の記憶手段に前回記憶された最適位相に調整することを特徴とする請求項22記載の表示装置。

【請求項24】

前記調整期間は、前記書き込み期間において選択された放電セルの発光を維持する維持期間に設定されることを特徴とする請求項1～23のいずれかに記載の表示装置。

【書類名】明細書

【発明の名称】表示装置

【技術分野】

【0001】

本発明は、シリアルデータに基づいて複数の電極を駆動するデータドライバを備えた表示装置に関する。

【背景技術】

【0002】

PDP（プラズマディスプレイパネル）を用いたプラズマディスプレイ装置は、薄型化および大画面化が可能であるという利点を有し、開発が進められている（例えば、特許文献1参照）。

【0003】

PDPにおいては、垂直方向に複数のデータ電極が配列され、水平方向に複数対のスキャン電極およびサステイン電極が配列され、それらの交点に放電セルが形成されている。複数のデータ電極は、データドライバにより駆動される。

【0004】

データドライバには、映像信号に基づいて得られるシリアルデータが与えられる。データドライバは、複数のラッチ回路（フリップフロップ回路）およびシフトレジスタを含む。データドライバに与えられたシリアルデータは、シフトクロック（クロック信号）に応答してラッチ回路においてラッチされつつシフトレジスタに記憶される。その後、シフトレジスタに記憶されたシリアルデータは、パラレルデータに変換される。そのパラレルデータに基づいてPDPの複数のデータ電極に駆動パルスが印加される。

【特許文献1】特開2002-156941号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、シリアルデータおよびシフトクロックの生成箇所とデータドライバとの距離が大きいと、それらのシリアルデータおよびシフトクロックを伝送する伝送線の長さが長くなる。それにより、シリアルデータおよびシフトクロックの位相が変化し、データドライバでラッチミスが発生する可能性がある。

【0006】

ラッチミスとは、ラッチ回路に入力されるデータ列の位相またはクロック信号の位相が正規の位相からはずることにより、ラッチ回路から出力されるデータ列の値がラッチ回路に入力されるデータ列の値と相違することをいう。

【0007】

本発明の目的は、データドライバにおけるラッチミスの発生が防止された表示装置を提供することである。

【課題を解決するための手段】

【0008】

本発明に係る表示装置は、複数の放電セルと、クロック信号を発生するクロック信号発生手段と、表示すべき画像に応じたシリアルデータを発生するシリアルデータ発生手段と、テスト信号を発生するテスト信号発生手段と、点灯させるべき放電セルを選択するための書き込み期間において、クロック信号に同期してシリアルデータ発生手段により発生されるシリアルデータをラッチして出力し、書き込み期間以外の調整期間において、テスト信号発生手段により発生されるテスト信号をラッチして出力するラッチ手段と、書き込み期間において、ラッチ手段から出力されるシリアルデータに基づいて複数の放電セルに選択的に駆動パルスを印加するデータドライバと、調整期間において、ラッチ手段から出力されるテスト信号に基づいてラッチ手段によるラッチミスの有無を検出するラッチミス検出手段と、ラッチミス検出手段によりラッチミスが検出された場合に、クロック信号発生手段と、ラッチミス検出手段によりラッチ手段に与えられるクロック信号の位相を調整する位相調整手段とを備える

ものである。

【0009】

本発明に係る表示装置においては、点灯させるべき放電セルを選択するための書き込み期間において、シリアルデータ発生手段により発生されたシリアルデータがクロック信号発生手段により発生されたクロック信号に同期してラッチ手段によりラッチされる。

【0010】

また、書き込み期間以外の調整期間において、テスト信号発生手段により発生されたテスト信号がクロック信号発生手段により発生されたクロック信号に同期してラッチ手段によりラッチされ、ラッチ手段により出力されるテスト信号に基づいてラッチミス検出手段によりラッチミスの有無が検出される。ラッチミス検出手段によりラッチミスが検出された場合、位相調整手段によりクロック信号発生手段からラッチ手段及びデータドライバに与えるクロック信号の位相が、ラッチ手段においてラッチミスの発生しない位相に調整される。

【0011】

したがって、データドライバにおけるラッチミスを防止することが可能である。また、温度特性、個体ばらつきによるクロック信号とシリアルデータの位相変動が生じてもラッチミスの発生が防止される。また、クロック信号およびシリアルデータの生成箇所とデータドライバとの距離を大きくすることが可能である。さらに、クロック信号およびシリアルデータの伝送周波数を向上することが可能である。

【0012】

データドライバは複数のデータドライバ部を含み、ラッチ手段は、複数のデータドライバ部に対応して複数のラッチ回路を含み、ラッチミス検出手段は、複数のラッチ回路に対応して設けられ、対応するラッチ回路から出力されるテスト信号に基づいてそのラッチ回路によるラッチミスの有無を検出する複数のラッチミス検出回路を含み、位相調整手段は、複数のラッチミス検出回路のうち少なくとも1つによりラッチミスが検出された場合に、クロック信号発生手段から複数のラッチ回路に与えられるクロック信号の位相を調整してもよい。

【0013】

この場合、複数のラッチ回路に対応して設けられたラッチミス検出手段により、対応するラッチ回路から出力されるテスト信号に基づいてそのラッチ回路によるラッチミスの有無が検出される。ラッチミス検出回路のうち少なくとも1つによりラッチミスが検出された場合、位相調整手段によりクロック信号発生手段から複数のラッチ回路に与えられるクロック信号の位相が調整される。

【0014】

それにより、複数のデータドライバ部に対して1つの位相調整手段でクロック位相調整が可能である。したがって、回路構成が簡単化される。

【0015】

複数のラッチミス検出回路は、オープンドレイン出力を有し、位相調整手段は、複数のラッチミス検出回路のオープンドレイン出力をワイヤードオア接続を介して受けてもよい。

【0016】

この場合、複数のラッチミス検出回路のオープンドレイン出力がワイヤードオア接続を介して位相調整手段に与えられる。それにより、回路構成が簡単化される。

【0017】

テスト信号は、クロック信号の1周期ごとに反転する交番パルス信号であってもよい。この場合、ラッチ手段によるテスト信号のラッチミスの発生確率が向上する。それにより、クロック信号をより精度の高い最適な位相に調整することができる。また、クロック信号を最適な位相に調整する時間が短縮される。

【0018】

位相調整手段は、所定の間隔ごとにクロック信号の位相を調整してもよい。この場合、

常にクロック信号が最適な位相に調整されるため、データドライバにおいて、書き込み期間中におけるシリアルデータのラッチの際にラッチミスが防止される。

【0019】

位相調整手段は、複数フィールドごとにクロック信号の位相を調整してもよい。この場合、クロック信号の位相調整が行われる間隔が広げられる。それにより、位相調整に必要な消費電力が削減される。

【0020】

調整期間は、複数の調整期間を含み、位相調整手段は、1つの調整期間にクロック信号の調整が終了しない場合には、次の調整期間の最初からクロック信号の位相調整の続きを行ってもよい。この場合、クロック信号の位相調整が完了するまでに要する時間を短縮することができる。

【0021】

ラッチミス検出手段は、テスト信号をクロックの1周期分遅延させた第1のテスト信号と、テスト信号をクロックの2周期分遅延させた第2のテスト信号との排他的論理和に基づいて、ラッチミスの有無を示すラッチミス検出信号を生成してもよい。

【0022】

この場合、クロック信号の位相が最適位相でなければ、ラッチミスが確実に検出される。それにより、クロック信号を精度の高い最適な位相に調整することができる。また、クロック信号を最適な位相に調整する時間が短縮される。

【0023】

ラッチミス検出手段は、ラッチミス検出信号を順に所定の遅延量ずつ遅延させた複数のラッチミス検出信号を生成し、複数のラッチミス検出信号の論理積を生成してもよい。

【0024】

この場合、ラッチミスの検出幅が広がり、より確実にラッチミスが検出される。それにより、クロック信号をより精度の高い最適な位相に調整することができる。また、クロック信号を最適な位相に調整する時間が短縮される。

【0025】

ラッチミス検出手段は、リセット信号が入力されるまでラッチミスの検出結果を保持する保持回路を含んでもよい。この場合、ラッチミスの検出幅がリセット信号が入力されるまで広がる。それにより、クロック信号をより精度の高い最適な位相に調整することができる。また、クロック信号を最適な位相に調整する時間が短縮される。

【0026】

ラッチミス検出手段は、ラッチミスの検出結果に基づいてリセット信号を生成するリセット信号生成手段をさらに含んでもよい。

【0027】

この場合、専用のリセット信号をラッチミス検出手段に出力する必要がなくなる。それにより、回路間の接続を簡素化することができる。

【0028】

リセット信号生成手段は、ラッチミスの検出結果を遅延させる遅延手段を含んでもよい。この場合、簡易な構成でリセット信号を生成することができる。

【0029】

位相調整手段は、クロック信号を所定の遅延量ずつ遅延させる複数の遅延素子を含むリングバッファと、リングバッファの複数の遅延素子から出力される複数のクロック信号を選択的に出力する選択手段とを含んでもよい。

【0030】

この場合、選択手段から所定の遅延量ずつ遅延した複数のクロック信号のうち選択されたクロック信号が出力される。それにより、クロック信号の精度の高い位相調整を行うことができる。また、リングバッファによりクロック信号が所定の遅延量ずつ遅延されるため、温度変化による遅延量の変動が抑制される。

【0031】

位相調整手段は、異なる数の遅延量をそれぞれ有する複数の遅延回路と、複数の遅延回路のうち1または複数を選択し、選択された1または複数の遅延回路により直列接続回路を構成するとともにクロック信号を直列接続回路に与える接続手段とを含んでもよい。

【0032】

この場合、異なる遅延量を有する複数の遅延回路のうち1または複数が接続手段により接続されて、クロック信号が所定の遅延量分位相が遅延する。それにより、クロック信号の精度の高い位相調整を行うことができる。

【0033】

位相調整手段は、クロック信号を2周期分遅延させるまでにクロック信号の位相の調整を終了してもよい。この場合、無駄な位相調整が削減され、位相調整に要する時間が削減されるとともに、位相調整に必要な消費電力が削減される。

【0034】

位相調整手段は、調整されるクロック信号の位相が最適位相となったことを検出し、クロック信号の位相が最適位相となったことが検出された場合にクロック信号の位相の調整を終了してもよい。

【0035】

この場合、クロック信号の最適位相が検出されるとともにクロック信号の位相の調整が終了する。それにより、クロック信号の位相調整に必要な消費電力が削減される。

【0036】

表示装置は、位相調整手段により調整されたクロック信号の位相を最適位相として記憶する第1の記憶手段をさらに備え、位相調整手段は、第1の記憶手段により最適位相が記憶された後の書き込み期間には、クロック信号の位相を第1の記憶手段に記憶された最適位相に調整してもよい。

【0037】

この場合、書き込み期間において第1の記憶手段により記憶された最適位相に調整されたクロック信号に同期してシリアルデータがラッチ手段によりラッチされる。それにより、データドライバにおいて、書き込み期間中におけるシリアルデータのラッチの際にラッヂミスが防止される。

【0038】

位相調整手段は、調整期間にクロック信号の調整が終了しない場合には、クロック信号の位相を予め第1の記憶手段に記憶された位相に調整してもよい。

【0039】

この場合、調整期間内にクロック信号の位相調整が終了しない場合でも、クロック信号の位相はそれまでの調整で第1の記憶手段に記憶された位相に調整される。

【0040】

それにより、クロック信号の位相が調整されていなくてもシリアルデータはラッチ手段によりラッチされ、データドライバが動作する。

【0041】

位相調整手段は、クロック信号の位相を変化させてラッヂミスが発生しない位相の範囲を検出し、検出された範囲が所定のしきい値以上の場合に、検出された位相の範囲の中央の位相を最適位相として第1の記憶手段に記憶させてもよい。

【0042】

この場合、ラッヂミスが発生しない位相の幅がしきい値以上に大きくなり、クロック信号の最適位相が確実に検出される。

【0043】

位相調整手段は、シリアルデータの開始部がデータドライバに出力されると同時に調整されたクロック信号がデータドライバに出力されるようにシリアルデータに対するクロック信号の相対的な位相を調整してもよい。

【0044】

この場合、クロック信号に同期してシリアルデータの開始部からラッチ手段によりラッ

チされる。したがって、データドライバに転送されるシリアルデータのすべてが確実にラッヂされる。

【0045】

位相調整手段は、クロック信号の位相が最適位相となったことが検出された場合に、データドライバに出力されるシリアルデータの開始部の位相とデータドライバに出力されるクロック信号の開始部の位相とが実質的に一致するようにシリアルデータの位相を調整してもよい。

【0046】

クロック信号の位相が最適位相となったことが検出された場合にはラッチミスが生じないため、高い精度でシリアルデータの位相を調整することができる。

【0047】

位相調整手段により調整されたシリアルデータの位相を最適位相として記憶する第2の記憶手段をさらに備え、位相調整手段は、第2の記憶手段により最適位相が検出された後の書き込み期間には、シリアルデータの位相を第2の記憶手段に記憶された最適位相に調整してもよい。

【0048】

この場合、書き込み期間において第2の記憶手段により記憶された最適位相に調整されたシリアルデータがラッヂ手段によりラッヂされる。それにより、最適な位相のクロック信号に同期して最適な位相のシリアルデータがデータドライバに転送される。したがって、データドライバへシリアルデータを安定して転送することが可能となる。

【0049】

位相調整手段は、クロック信号の最適位相またはシリアルデータの最適位相が検出されなかった場合に、クロック信号の位相を第1の記憶手段に前回記憶された最適位相に調整するとともにシリアルデータの位相を第2の記憶手段に前回記憶された最適位相に調整してもよい。

【0050】

この場合、ノイズ等によりクロック信号の最適位相またはシリアルデータの最適位相が検出されなかつた場合でも、クロック信号の位相が第1の記憶手段に前回記憶された最適位相に調整されるとともにシリアルデータの位相が第2の記憶手段に前回記憶された最適位相に調整される。それにより、データドライバへのシリアルデータの安定した書き込み動作が保証される。

【0051】

調整期間は、書き込み期間において選択された放電セルの発光を維持する維持期間に設定されてもよい。この場合、シリアルデータがデータドライバに転送される期間外にクロック信号の位相調整が行われる。それにより、データドライバへのシリアルデータの転送に影響することがない。

【発明の効果】

【0052】

データドライバにおけるラッヂミスを防止することが可能である。また、温度特性、個体ばらつきによるクロック信号とシリアルデータの位相変動が生じてもラッヂミスの発生が防止される。また、クロック信号およびシリアルデータの生成箇所とデータドライバの距離を大きくすることが可能である。さらに、クロック信号およびシリアルデータの伝送周波数を向上することが可能である。

【発明を実施するための最良の形態】

【0053】

(第1の実施の形態)

以下、本発明に係る表示装置の一例としてプラズマディスプレイ装置について説明する。

【0054】

図1は、本発明の一実施の形態に係るプラズマディスプレイ装置の構成を示すプロック

図である。

【0055】

図1のプラズマディスプレイ装置は、PDP（プラズマディスプレイパネル）1、データドライバ2、スキャンドライバ3、サステインドライバ4、放電制御タイミング発生回路5、A/Dコンバータ（アナログ・デジタル変換器）6、走査数変換部7、サブフィールド変換部8、クロック位相調整部9およびシフトクロック発生回路10を含む。

【0056】

A/Dコンバータ6には映像信号VDが入力される。また、放電制御タイミング発生回路5、A/Dコンバータ6、走査数変換部7、サブフィールド変換部8およびデータドライバ2には水平同期信号Hおよび垂直同期信号Vが与えられる。クロック位相調整部9には垂直同期信号Vが与えられる。また、クロック位相調整部9にはシフトクロック発生回路10からシフトクロックSCKが与えられる。

【0057】

A/Dコンバータ6は、映像信号VDをデジタルの画像データに変換し、その画像データを走査数変換部7に与える。走査数変換部7は、画像データをPDP1の画素数に応じたライン数の画像データに変換し、各ラインごとの画像データをサブフィールド変換部8に与える。各ラインごとの画像データは、各ラインの複数の画素にそれぞれ対応する複数の画素データからなる。

【0058】

サブフィールド変換部8は、各ラインごとの画像データの各画素データを複数のサブフィールドに対応するシリアルデータSDに変換し、シリアルデータSDを各サブフィールドごとにクロック位相調整部9に与える。クロック位相調整部9は、シフトクロックSCKを最適な位相に調整し、シリアルデータSDとともにデータドライバ2に与える。

【0059】

放電制御タイミング発生回路5は、水平同期信号Hおよび垂直同期信号Vを基準として放電制御タイミング信号SC, SUを発生する。放電制御タイミング発生回路5は、放電制御タイミング信号SCをスキャンドライバ3に与え、放電制御タイミング信号SUをサステインドライバ4、データドライバ2およびクロック位相調整部9に与える。

【0060】

PDP1は、複数のデータ電極11、複数のスキャン電極12および複数のサステイン電極13を含む。複数のデータ電極11は画面の垂直方向に配列され、複数のスキャン電極12および複数のサステイン電極13は画面の水平方向に配列されている。複数のサステイン電極13は共通に接続されている。

【0061】

データ電極11、スキャン電極12およびサステイン電極13の各交点に放電セルが形成され、各放電セルが画面上の画素を構成する。

【0062】

データドライバ2は、クロック位相調整部9から与えられるシリアルデータSDをパラレルデータに変換し、そのパラレルデータに基づいて書き込みパルスを複数のデータ電極11に選択的に与える。

【0063】

スキャンドライバ3は、放電制御タイミング発生回路5から与えられる放電制御タイミング信号SCに基づいて各スキャン電極12を駆動する。サステインドライバ4は、放電制御タイミング発生回路5から与えられる放電制御タイミング信号SUに基づいてサステイン電極13を駆動する。

【0064】

図1に示すプラズマディスプレイ装置では、階調表示駆動装置として、ADS（Address Display-Period Separation：アドレス・表示期間分離）方式が用いられている。

【0065】

図2は、図1に示すプラズマディスプレイ装置に適用されるADS方式を説明するため

の図である。なお、図2では、駆動パルスの立ち下がり時に放電を行う負極性のパルスの例を示しているが、立ち上がり時に放電を行う正極性のパルスの場合でも基本的な動作は以下と同様である。

【0066】

ADS方式では、1フィールドを複数のサブフィールドに時間的に分割する。例えば、1フィールドを5つのサブフィールドSF1～SF5に分割する。また、各サブフィールドSF1～SF5は、初期化期間R1～R5、書き込み期間AD1～AD5、維持期間SUS1～SUS5および消去期間RS1～RS5に分離される。初期化期間R1～R5においては、各サブフィールドの初期化処理が行われ、書き込み期間AD1～AD5においては、点灯される放電セルを選択するためのアドレス放電が行われ、維持期間SUS1～SUS5においては、表示のための維持放電が行われる。

【0067】

初期化期間R1～R5においては、サステイン電極13に単一の初期化パルスが加えられ、スキャン電極12にもそれぞれ単一の初期化パルスが加えられる。これにより予備放電が行われる。

【0068】

書き込み期間AD1～AD5においては、スキャン電極12が順次走査され、データ電極11から書き込みパルスを受けた放電セルだけに所定の書き込み処理が行われる。これによりアドレス放電が行われる。

【0069】

維持期間SUS1～SUS5においては、各サブフィールドSF1～SF5に重み付けされた値に応じた維持パルスがサステイン電極13およびスキャン電極12へ出力される。例えば、サブフィールドSF1では、サステイン電極13に維持パルスが1回印加され、スキャン電極12に維持パルスが1回印加され、書き込み期間P2において選択された放電セル14が2回維持放電を行う。また、サブフィールドSF2では、サステイン電極13に維持パルスが2回印加され、スキャン電極12に維持パルスが2回印加され、書き込み期間P2において選択された放電セル14が4回維持放電を行う。

【0070】

上記のように、各サブフィールドSF1～SF5では、サステイン電極13およびスキャン電極12に1回、2回、4回、8回、16回ずつ維持パルスが印加され、パルス数に応じた明るさ（輝度）で放電セルが発光する。すなわち、維持期間SUS1～SUS5は、書き込み期間AD1～AD5で選択された放電セルが明るさの重み付け量に応じた回数で放電する期間である。また、維持期間SUS1～SUS5においては、図1のクロック調整部9に与えられたシフトクロックSCKの位相が調整される。シフトクロックSCKの位相の調整の詳細については、後述する。

【0071】

図3は、図1のクロック位相調整部9に与えられたシフトクロックSCKの位相が調整される期間（以下、クロック位相調整期間と呼ぶ。）について説明する図である。図3の横軸は時間を示す。図3には、垂直同期信号Vおよびクロック位相調整期間が示される。

【0072】

図3に示すように、クロック位相調整期間は、第1フィールドの維持期間SUS1の最初から開始し、シフトクロックSCKの位相調整が行われる。維持期間SUS1内にシフトクロックSCKの位相調整が終了しない場合、次の維持期間SUS2の最初からシフトクロックSCKの位相調整の続きを行われる。以下同様に、シフトクロックSCKの位相調整が終了するまで維持期間SUS3, SUS4, SUS5でシフトクロックSCKの位相調整が行われる。

【0073】

第1フィールド内にシフトクロックSCKの位相調整が終了しない場合、第2フィールドの維持期間SUS1の最初からシフトクロックSCKの位相調整の続きを行われる。シフトクロックSCKの位相調整が終了すれば、クロック位相調整期間が終了する。

【0074】

本実施の形態に係るプラズマディスプレイ装置においては、3フィールドごとにシフトクロックSCKの位相調整が行われる。したがって、次のクロック位相調整期間は第4フィールドの維持期間SUS1の最初から開始する。

【0075】

以下同様に、3フィールドごとの維持期間SUS1の最初からクロック位相調整期間が開始する。

【0076】

なお、シフトクロックSCKの位相調整期間は、3フィールドごとに限定されず、任意の数のフィールドごとに設定することができる。

【0077】

以上のことから、プラズマディスプレイ装置の温度特性、個体ばらつきによるシフトクロックSCKとシリアルデータSDの位相変動が生じてもラッチミスの発生が防止される。また、シフトクロックSCKおよびシリアルデータSDの生成箇所とデータドライバとの距離を大きくすることが可能である。さらに、シフトクロックSCKおよびシリアルデータSDの伝送周波数を向上することが可能である。

【0078】

図4は、図1のクロック位相調整部9およびデータドライバ2の構成を示すブロック図である。

【0079】

図4に示すように、クロック位相調整部9は、テストパターン発生回路100、フリップフロップ回路110、クロック位相制御部120およびデータ遅延回路160を含む。データドライバ2は、ラッチミス検出回路130を含む。

【0080】

テストパターン発生回路100には、図1のサブフィールド変換部8により出力されたシリアルデータSDとクロック位相制御部120により出力されたテストパターン制御信号TPCとが与えられる。

【0081】

テストパターン発生回路100は、図2で説明した書き込み期間AD1～AD5において、サブフィールド変換部8から与えられたシリアルデータSDをそのまま出力する。また、テストパターン発生回路100は、図3で説明したクロック位相調整期間において、後述するクロック位相制御部120から与えられるテストパターン制御信号TPCに応じてテストパターンTPを出力する。

【0082】

データ遅延回路160には、テストパターン発生回路100により出力されたシリアルデータSDまたはテストパターンTPが与えられる。データ遅延回路160は、テストパターンTPをそのまま出力し、後述するクロック位相制御部120から与えられる位相遅延信号DPCに基づいてシリアルデータSDを遅延させて出力する。データ遅延回路160の動作については後述する。

【0083】

フリップフロップ回路110には、データ遅延回路160により出力されたシリアルデータSDまたはテストパターンTPが与えられるとともに、図1のシフトクロック発生回路10からシフトクロックSCKが与えられる。フリップフロップ回路110は、シフトクロックSCKの立ち下がりでシリアルデータSDまたはテストパターンTPをラッチし、シリアルデータSDaまたはテストパターンTPaとして出力する。

【0084】

ラッチミス検出回路130には、フリップフロップ回路110により出力されたテストパターンTPaと後述するクロック位相制御部120により出力された遅延シフトクロックDSCCKとが与えられる。ラッチミス検出回路130は、テストパターンTPaおよび遅延シフトクロックDSCCKに基づいてラッチミス発生の有無を示すラッチミス検出信号

LMを出力する。

【0085】

クロック位相制御部120には、図1のシフトクロック発生回路10からシフトクロックSCKが与えられるとともに、ラッチミス検出回路130により出力されたラッチミス検出信号LMが与えられる。また、クロック位相制御部120には、垂直同期信号Vおよび放電制御タイミング信号SUが与えられる。クロック位相制御部120は、ラッチミス検出信号LMに基づいてシフトクロックSCKを遅延させることにより遅延シフトクロックDSCCKを出力する。また、クロック位相制御部120は、テストパターン制御信号TPCを出力する。

【0086】

データドライバ2には、フリップフロップ回路110により出力されたシリアルデータSDaとクロック位相制御部120により出力された遅延シフトクロックDSCCKとが与えられる。

【0087】

図5は、クロック位相制御部120の内部構成を示すブロック図である。

【0088】

図5に示すように、クロック位相制御部120は、調整期間制御回路121、調整開始制御回路122、位相制御回路123、位相データ記憶回路124、ラッチミス監視窓発生回路125、ラッチミス検出信号監視回路126、位相データ記憶回路129およびクロック遅延回路140を含む。

【0089】

調整開始制御回路122には、垂直同期信号Vが与えられる。調整開始制御回路122は、垂直同期信号Vに基づいて3フィールドごとにクロック位相調整期間の開始タイミングを示す調整期間開始信号OPを出力して位相制御回路123に与える。

【0090】

調整期間制御回路121には、放電制御タイミング信号SUが与えられる。調整期間制御回路121は、放電制御タイミング信号SUに基づいて、クロック位相調整期間を示す調整期間制御信号SWを出力して位相制御回路123に与える。

【0091】

位相制御回路123は、調整期間開始信号OPおよび調整期間制御信号SWに基づいて、クロック位相調整期間にテストパターン制御信号TPCを出力するとともに、位相遅延信号PCを出力する。

【0092】

クロック遅延回路140には、シフトクロックSCKおよび位相遅延信号PCが与えられる。クロック遅延回路140は、位相遅延信号PCに基づいてシフトクロックSCKを遅延させ、遅延シフトクロックDSCCKを出力する。

【0093】

テストパターン発生回路100は、図4で説明したように、テストパターン制御信号TPCに基づいてテストパターンTPを出力する。

【0094】

ラッチミス監視窓発生回路125には、テストパターン制御信号TPCが与えられる。ラッチミス監視窓発生回路125は、テストパターン制御信号TPCに基づいて検出窓信号DWを出力してラッチミス検出信号監視回路126に与える。ラッチミス検出信号監視回路126は、検出窓信号DWに基づいてラッチミス検出回路130が出力するラッチミス検出信号LMを監視する。ラッチミス検出信号監視回路126は、ラッチミスが発生している場合にはラッチミス通知信号LMNを出力して位相制御回路123に与える。

【0095】

位相制御回路123は、ラッチミス通知信号LMNに基づいて遅延シフトクロックDSCCKの最適位相を決定し、その最適位相をデータDINとして出力して位相データ記憶回路124に与える。

【0096】

位相データ記憶回路124は、与えられたデータDINを遅延シフトクロックDCKの最適位相として記憶する。位相データ記憶回路124は、書き込み期間に、記憶している最適位相をデータDO OUTとして出力して位相制御回路123に与える。

【0097】

位相制御回路123は、与えられたデータDO OUTに基づき位相遅延信号PCを出力してクロック遅延回路140に与える。

【0098】

さらに、位相制御回路123は、遅延シフトクロックDCKの決定後に、データドライバ2に出力される遅延シフトクロックDCKの開始部の位相とシリアルデータSDaの開始部の位相とが一致するように、データ遅延回路160にシリアルデータSDの位相を制御するための位相遅延信号DPCを与える。

【0099】

データ遅延回路160は、位相遅延信号DPCに基づいて、シリアルデータSDの遅延量を調整することによりシリアルデータSDaの位相をクロック単位（シフトクロックSKの周期）で調整する。

【0100】

位相制御回路123は、遅延シフトクロックDCKの開始部の位相とシリアルデータSDaの開始部の位相とが一致するように調整されたシリアルデータSDaの位相を最適位相として決定し、その最適位相をデータDinとして位相データ記憶回路129に与える。

【0101】

位相データ記憶回路129は、与えられたデータDinを最適位相として記憶する。位相データ記憶回路129は、書き込み期間に、記憶している最適位相をデータDO OUTとして出力して位相制御回路123に与える。

【0102】

位相制御回路123は、与えられたデータDO OUTに基づき位相遅延信号DPCを出力してデータ遅延回路160に与える。

【0103】

図6(a)は、図4のラッチミス検出回路130の構成を示すブロック図であり、図6(b)は、図6(a)のラッチミス検出回路130における各部の信号を示すタイミング図である。

【0104】

図6(a)に示すように、ラッチミス検出回路130は、フリップフロップ回路131, 132, 134および排他的論理和（以下、EX-ORと呼ぶ）回路133を含む。

【0105】

フリップフロップ回路131には、図6(b)に示す遅延シフトクロックDCKおよびテストパターンTPaが与えられる。

【0106】

図6(b)に示すように、遅延シフトクロックDCKの周期（以下、クロック周期と呼ぶ）をTとする。テストパターンTPaは、遅延シフトクロックDCKの周期Tで反転する交番パルス信号である。フリップフロップ回路131は、テストパターンTPaを遅延シフトクロックDCKの立ち下がり（図6から考えると立ち下がりと考えられます。ご確認下さい。）でラッчиし、テストパターンTPaに対して1クロック周期T遅延したテストパターンTPbを出力する。

【0107】

フリップフロップ回路132にはテストパターンTPbおよび遅延シフトクロックDCKが与えられる。フリップフロップ回路132は、テストパターンTPbを遅延シフトクロックDCKの立ち下がりでラッчиし、テストパターンTPbに対して1クロック周期T遅延したテストパターンTPcを出力する。

【0108】

EX-OR回路133には、テストパターンTPb, TPcが与えられる。EX-OR回路133は、テストパターンTPb, TPcの排他的論理和をテストパターンTPdとして出力する。テストパターンTPa, TPb, TPcにラッチミスが発生していない場合、テストパターンTPdはハイの状態を保つ。

【0109】

フリップフロップ回路134には、テストパターンTPdおよび遅延シフトクロックD SCKが与えられる。フリップフロップ回路134は、テストパターンTPdを遅延シフトクロックD SCKの立ち下がりでラッчиし、テストパターンTPdに対して1クロック周期T遅延したラッチミス検出信号LMを出力する。

【0110】

図6(b)に示す検出窓信号DWは、図5のラッチミス監視窓発生回路125から出力される。検出窓信号DWがハイの期間にラッチミス検出信号LMにローの部分があればラッチミスが発生していると判定される。この場合、図5で説明したようにラッチミス通知信号LMNがラッチミス検出信号監視回路126から出力される。

【0111】

図7は、ラッチミスの検出を説明する図である。図7(a)は、図6(a)と同じくラッチミス検出回路130の構成を示すブロック図であり、図7(b)は、ラッチミス検出回路130における各部の信号を示すタイミング図である。

【0112】

ここで、フリップフロップ回路131でラッチミスが発生する場合を考える。図7(b)に示すように、フリップフロップ131でのラッチミスによりテストパターンTPbが、1クロック周期Tで反転せずに2クロック周期2T以上続けてハイまたはローの部分を有するようになる。それにより、テストパターンTPcも1クロック周期Tで反転せずに2クロック周期2T以上続けてハイまたはローの部分を有するようになる。

【0113】

テストパターンTPdは、テストパターンTPbとテストパターンTPcとの排他的論理和であることから、ローの部分を有するようになる。それにより、ラッチミス検出信号LMもローの部分を有するようになる。したがって、図5のラッチミス検出監視回路126からラッチミス通知信号LMNが出力される。

【0114】

以上のことから、テストパターンTPaのラッチミスが発生すればラッチミス検出信号LMがローが部分を有するようになる。したがって、検出窓信号DWがハイの期間においてラッチミス検出信号LMがローの部分を有するか否かに基づいて、ラッチミスの有無を判定することができる。

【0115】

図8(a)は、ラッチミス検出回路の他の例を示すブロック図である。図8(b)は、図8(a)のラッチミス検出回路における各部の信号を示すタイミング図である。

【0116】

図8(a)に示すラッチミス検出回路130aが図6のラッチミス検出回路130と異なる点は、AND回路135およびフリップフロップ回路136をさらに含む点である。AND回路135には、EX-OR回路133により出力されたテストパターンTPdとフリップフロップ回路134により出力されたテストパターンTPeとが与えられる。AND回路135は、テストパターンTPd, TPeの論理積をテストパターンTPfとして出力する。

【0117】

フリップフロップ回路136には、テストパターンTPfおよび遅延シフトクロックD SCKが与えられる。フリップフロップ回路136は、テストパターンTPfを遅延シフトクロックD SCKの立ち下がりでラッчиし、テストパターンTPfに対して1クロック周期T遅延したラッチミス検出信号LMを出力する。

【0118】

ここで、図7 (b) で説明したラッチミスが発生する場合を考える。この場合、図7 (b) で説明したように、EX-OR回路133から出力されるテストパターンTPdは、ローの部分を有する。それにより、テストパターンTPeとの論理積であるテストパターンTPfは、テストパターンTPdのローの部分が1クロック周期T分広がったローの部分を有する。したがって、ラッチミスの検出精度が向上する。

【0119】

図9 (a) は、ラッチミス検出回路のさらに他の例を示すブロック図である。図9 (b) は、図9 (a) のラッチミス検出回路における各部の信号を示すタイミング図である。

【0120】

図9 (a) に示すラッチミス検出回路130bが図6のラッチミス検出回路130と異なる点は、テストパターン遅延部134aおよびAND回路135aをさらに含む点である。

【0121】

テストパターン遅延部134aは、第1～第nのフリップフロップ回路FF₁, FF₂, …, FF_nが直列に接続された構成を持つ。ここで、nは2以上の整数である。テストパターン遅延部134aのフリップフロップ回路FF₁には、テストパターンTPdおよび遅延シフトクロックDSCkが与えられる。第1のフリップフロップ回路FF₁は、遅延シフトクロックDSCkの立ち下がりでテストパターンTPdをラッチし、テストパターンTPdに対して1クロック周期T遅延したテストパターンTPe (1) を出力する。

【0122】

第2のフリップフロップ回路FF₂には、テストパターンTPe (1) および遅延シフトクロックDSCkが与えられる。第2のフリップフロップ回路FF₂は、遅延シフトクロックDSCkの立ち下がりでテストパターンTPe (1) をラッチし、テストパターンTPe (1) に対して1クロック周期T遅延したテストパターンTPe (2) を出力する。

【0123】

以下同様にして、第nのフリップフロップ回路FF_nは、テストパターンTPe (n) を出力する。

【0124】

AND回路135aには、EX-OR回路133から出力されたテストパターンTPdとテストパターン遅延部134a内の第1～第nのフリップフロップ回路FF₁～FF_nにより出力されたテストパターンTPe (1) ～TPe (n) とが与えられる。AND回路135aは、与えられたテストパターンTPd, TPe (1) ～TPe (n) の論理積をラッチミス検出信号LMとして出力する。

【0125】

ここで、図7 (b) で説明したラッチミスが発生したとする。この場合、図7 (b) で説明したように、EX-OR回路133から出力されるテストパターンTPdは、ローの部分を有する。AND回路135aが出力するラッチミス検出信号LMは、1クロック周期Tずつ順に遅延した(n+1)個のテストパターンTPd, TPe (1) ～TPe (n) の論理積であるため、ラッチミス検出信号LMは、テストパターンTPdのローの部分がnクロック周期T分広がったローの部分を有する。したがって、ラッチミスの検出精度がより向上する。

【0126】

図10 (a) は、ラッチミス検出回路のさらに他の例を示すブロック図である。図10 (b) は、図10 (a) のラッチミス検出回路における各部の信号を示すタイミング図である。

【0127】

図10のラッチミス検出回路130cが図6のラッチミス検出回路130と異なる点は、RSフリップフロップ回路137をさらに含む点である。RSフリップフロップ回路1

37には、テストパターンTPeおよびリセット信号RSが与えられる。リセット信号RSがハイに立ち上がると、RSフリップフロップ回路137がリセットされ、ラッチミス検出信号LMがハイとなる。

【0128】

図7(b)で説明したラッチミスが発生したとすると、EX-OR回路133から出力されるテストパターンTPdは、ローの部分を有する。それにより、テストパターンTPdよりも1クロック周期T分遅延したテストパターンTPeもローの部分を有する。

【0129】

RSフリップフロップ回路137に与えられるテストパターンTPeがローに立ち下がると、RSフリップフロップ回路137から出力されるラッチミス検出信号LMはローの状態で保持される。それにより、ラッチミス検出信号LMの幅が広がる。したがって、ラッチミスの検出精度がより向上する。

【0130】

リセット信号RSがハイに立ち上がると、ラッチミス検出信号LMはハイになる。なお、リセット信号RSは、ラッチミス検出動作の前にハイに立ち上げられる。

【0131】

図11(a)は、ラッチミス検出回路のさらに他の例を示すブロック図である。図11(b)は、図11(a)のラッチミス検出回路における各部の信号を示すタイミング図である。

【0132】

図11のラッチミス検出回路130dが図10のラッチミス検出回路130cと異なる点は、遅延回路139がさらに設けられている点である。

【0133】

遅延回路139は、単安定マルチバイブルエタにより構成されてもよい。この場合、単安定マルチバイブルエタ用の遅延調整回路(外付け抵抗)により遅延量を調整することができる。遅延回路139は、カウンタ回路により構成されてもよい。この場合、安定した遅延量の制御が可能となる。

【0134】

遅延回路139は、EX-OR回路133から出力されるテストパターンTPdを一定時間遅延させ、遅延されたテストパターンTPeをリセット信号RSとしてRSフリップフロップ137に与える。リセット信号RSがハイに立ち上がると、RSフリップフロップ回路137がリセットされ、ラッチミス検出信号LMがハイとなる。

【0135】

図7(b)で説明したラッチミスが発生したとすると、EX-OR回路133から出力されるテストパターンTPdは、ローの部分を有する。それにより、テストパターンTPdよりも1クロック周期T分遅延したテストパターンTPeもローの部分を有する。

【0136】

RSフリップフロップ回路137に与えられるテストパターンTPeがローに立ち下がると、RSフリップフロップ回路137から出力されるラッチミス検出信号LMはローの状態で保持される。それにより、ラッチミス検出信号LMの幅が広がる。したがって、ラッチミスの検出精度がより向上する。

【0137】

ラッチミスがなくなると、テストパターンTPdはハイになり、テストパターンTPeもハイになる。所定時間経過後、リセット信号RSがハイになる。その結果、ラッチミス検出信号LMはハイになる。

【0138】

図12は、図5のクロック遅延回路140の構造を示すブロック図である。

【0139】

図12に示すように、クロック遅延回路140は、PLL回路141、2m個のインバータ142および出力回路143から構成される。ここで、2m個のインバータ142は

環状に接続されている。

【0140】

P L L回路141には、シフトクロックS C Kおよび最終段のインバータ142の出力が与えられる。シフトクロックS C Kは、初段のインバータ142および出力回路143に与えられる。偶数段のインバータ142の出力がそれぞれシフトクロックS C K(1)～S C K(m)として次段のインバータ142および出力回路143に与えられる。2つのインバータ142による信号の遅延量を1単位量と呼ぶ。

【0141】

P L L回路141は、シフトクロックS C Kの位相とシフトクロックS C K(m)の位相とが一致するように、例えば、動作電圧の電源等を制御することにより、1単位量遅延を制御する。それにより、1単位量がシフトクロックS C Kの $1/(m+1)$ 周期に相当することになる。したがって、シフトクロックS C K(0)～S C K(m)は順に1単位量ずつ遅延した位相を有する。

【0142】

出力回路143は、シフトクロックS C K(0)～S C K(m)のうち1つを位相遅延信号P Cに基づいて遅延シフトクロックD S C Kとして出力する。

【0143】

本実施の形態に係るクロック遅延回路140においては、P L L回路141でシフトクロックS C Kの位相とシフトクロックS C K(m)の位相とが一致するように制御されるため、温度変化による遅延量の変動が抑制される。

【0144】

図13(a)は、シフトクロックS C K(0)の波形図であり、図13(b)はシフトクロックS C K(1)の波形図であり、図13(c)は、シフトクロックS C K(2)の波形図であり、図13(d)は、シフトクロックC S K(m)の波形図である。

【0145】

図13に示すように、シフトクロックS C K(0)、シフトクロックS C K(1)、シフトクロックS C K(2)と1単位量ずつ位相が遅延している。

【0146】

図14は、クロック遅延回路の他の例を示す図である。

【0147】

図14に示すクロック遅延回路140aは、t個の遅延回路B F(1)～B F(t)および遅延回路145から構成される。遅延回路145は、例えば、2個のインバータ142が直列に接続された構成を有する。なお、2個のインバータ142の替わりに、1つのバッファを用いても構成可能である。

【0148】

遅延回路B F(1)は、直列に接続された $2^1=2$ 個のインバータ142および出力回路144から構成される。遅延回路B F(2)は、直列に接続された $2^2=4$ 個のインバータ142および出力回路144から構成される。遅延回路B F(3)は、直列に接続された $2^3=8$ 個のインバータ142および出力回路144から構成される。同様に、遅延回路B F(t)は、直列に接続された 2^t 個のインバータ142および出力回路144から構成される。

【0149】

遅延回路B F(1)にはシフトクロックS C Kが与えられる。シフトクロックS C Kは遅延回路B F(1)内で2つに分岐し、一方は出力回路144に与えられ、他方は2個直列に接続されたインバータ142を通ることにより $2^0=1$ 単位量遅延して出力回路144に与えられる。出力回路144は、位相遅延信号P Cに基づいてシフトクロックS C Kと1単位量遅延したシフトクロックS C Kとのいずれか一方を遅延回路B F(2)に与える。

【0150】

遅延回路B F(2)に与えられたシフトクロックS C Kは遅延回路B F(2)内で2つ

に分岐し、一方は出力回路144に与えられ、他方は4個直列に接続されたインバータ142を通過することにより $2^1 = 2$ 単位量遅延して出力回路144に与えられる。出力回路144は、位相遅延信号PCに基づいて遅延回路BF(1)から与えられたシフトクロックSCKと遅延回路BF(1)から与えられたシフトクロックSCKよりも2単位量遅延したシフトクロックSCKとのいずれか一方を遅延回路BF(3)に与える。

【0151】

以下同様に、遅延回路BF(t)に与えられたシフトクロックSCKは遅延回路BF(t)内で2つに分岐し、一方は出力回路144に与えられ、他方は 2^t 個直列に接続されたインバータ142を通過することにより 2^{t-1} 単位量遅延して出力回路144に与えられる。出力回路144は、位相遅延信号PCに基づいて遅延回路BF(t-1)から与えられたシフトクロックSCKと遅延回路BF(t-1)から与えられたシフトクロックSCKよりも 2^{t-1} 単位量遅延したシフトクロックSCKとのいずれか一方を遅延回路145に与える。

【0152】

遅延回路145に与えられたシフトクロックSCKは、2つのインバータ142を通過して1単位量遅延し、遅延シフトクロックDSCKとして出力される。

【0153】

以上のことから、シフトクロックSCKは、遅延回路BF(1)～BF(t)を通過することにより、 $2^0, 2^1, 2^2, \dots, 2^{t-1}$ 単位量の組み合わせの単位量分遅延し、遅延回路145によりさらに1単位量遅延し、遅延シフトクロックDSCKとして出力される。なお、 $2^0, 2^1, 2^2, \dots, 2^{t-1}$ の組み合わせにより、 $2^0 \sim 2^t$ のすべての整数を組み合わせることが可能である。

【0154】

図15は、遅延シフトクロックDSCKの最適位相を説明する図である。

【0155】

図15の縦軸はラッチミス発生の有無を示し、横軸はシフトクロックSCKに対する遅延シフトクロックDSCKの位相遅延量を示す。ここで、遅延シフトクロックDSCKの遅延量によりラッチミスの有無が図15のようになった場合を考える。

【0156】

図15に示すように、位相遅延量が $0 \sim d_1$ の間、 $d_2 \sim d_3$ の間、 $d_4 \sim d_5$ の間および $d_6 \sim d_7$ の間はラッチミスが発生している。一方、位相遅延量が $d_1 \sim d_2$ の間、 $d_3 \sim d_4$ の間および $d_5 \sim d_6$ の間はラッチミスが発生していない。位相遅延量 $d_1 \sim d_2$ の間をラッチミス未発生領域P1、 $d_3 \sim d_4$ の間をラッチミス未発生領域P2、 $d_5 \sim d_6$ の間をラッチミス未発生領域P3とする。

【0157】

ラッチミス未発生領域の幅がしきい値Xよりも大きい場合に、そのラッチミス未発生領域の中央の位相遅延量が遅延シフトクロックDSCKの最適位相として設定される。

【0158】

図15の場合、ラッチミス未発生領域P1、P2の幅は、しきい値Xよりも小さいため、ラッチミス未発生領域P1、P2内にはシフトクロックDSCKの最適位相は設定されない。

【0159】

それに対して、ラッチミス未発生領域P3の幅はしきい値Xよりも大きいため、ラッチミス未発生領域P3の中央の位相遅延量($(d_5 + d_6)/2$)が遅延クロックDSCKの最適位相として設定される。それにより、遅延シフトクロックDSCKの最適位相は、シフトクロックSCKに対して($(d_5 + d_6)/2$)だけ遅延した位相に設定される。

【0160】

上記説明したように、十分に大きい幅を持つラッチミス未発生領域から遅延シフトクロックDSCKの最適位相が設定されるため、遅延シフトクロックDSCKの最適位相を検出する精度が向上する。

【0161】

図16は、位相制御回路123が遅延シフトクロックD S C Kの最適位相を検出する動作の一例を示すフローチャートである。以下、図15および図16を参照しながら図16のフローチャートの説明を行う。

【0162】

図16に示すように、位相制御回路123は、ラッチミス未発生領域を検出したか否かを判定する（ステップS1）。位相制御回路123は、ラッチミス未発生領域を検出した場合、ラッチミス未発生領域の幅がしきい値Xより大きいか否かを判定する（ステップS2）。

【0163】

位相制御回路123は、ラッチミス未発生領域の幅がしきい値Xより大きいと判定した場合、ラッチミス未発生領域の中央の位相遅延量分シフトクロックS C Kを遅延させた位相を遅延シフトクロックD S C Kの最適位相として位相データ記憶回路124に記憶させる（ステップS3）。

【0164】

ステップS1において、位相制御回路123は、ラッチミス未発生領域を検出しなかった場合は待機する。ステップS2において、位相制御回路123は、ラッチミス未発生領域の位相間隔がしきい値Xより小さいと判定した場合はステップS1から動作を繰り返す。

【0165】

図17は、遅延シフトクロックD S C Kの最適位相の検出に必要なクロック数を説明する図である。

【0166】

図17（a）はテストパターンT P aの波形図であり、図17（b）～（d）はそれぞれ位相の異なる遅延シフトクロックD S C Kの波形図である。

【0167】

交番パルス波形を有するテストパターンT P aは、ハイとローが切り替わるときにラッチするとラッチミスが発生しやすい。したがって、図17（a）においては、領域Yでラッチミスが発生しやすい。

【0168】

シフトクロックS C Kの立ち下りが図15の位相遅延量0～d5分遅延した位相が図17の領域Yに相当し、シフトクロックS C Kの立ち下りが図15の位相遅延量d5～d6分遅延した位相が図17の領域Zに相当する。

【0169】

図15で説明したように、遅延シフトクロックD S C Kの最適位相を検出するためには領域Zを検出する必要がある。また、遅延シフトクロックD S C Kの最適位相は領域Zの中央であることから、領域Yと領域Zとの境界を検出する必要がある。したがって、連続する領域Yを少なくとも2つ検出する必要がある。

【0170】

クロック位相調整期間がシフトクロックS C Kの立ち下がり時に開始するとし、その位相を位相Sとする。

【0171】

図17（b）に示すように、位相SがテストパターンT P aの第1の領域Yの直前から始まると、シフトクロックS C Kの位相を第1の領域Yと第1の領域Zとの境界の位相から第1の領域Zと第2の領域Yとの境界の位相まで遅延させる必要がある。したがって、シフトクロックS C Kを位相Sから2クロック分遅延されば最適位相が検出される。

【0172】

図17（c）に示すように、位相SがテストパターンT P aの第1の領域Yから始まると、図17（b）と同様に、シフトクロックS C Kの位相を第1の領域Yと第1の領域Zとの境界の位相から第1の領域Zと第2の領域Yとの境界の位相まで遅延させる必要があ

る。したがって、シフトクロック SCK を位相 S から 2 クロック分遅延させれば最適位相遅延量が検出される。

【0173】

一方、図17(d)に示すように、位相 S がテストパターン TPa の第1の領域 Z の途中から始まると、シフトクロック SCK の位相を第2の領域 Y と第2の領域 Z との境界の位相から第2の領域 Z と第3の領域 Y との境界の位相までシフトクロック SCK を遅延させる必要がある。したがって、シフトクロック SCK を位相 S から 2 クロック分遅延させればシフトクロック SCK の最適位相が検出される。

【0174】

以上のことから、位相 S がテストパターン TPa のどの位相から始まてもシフトクロック SCK を少なくとも 2 クロック遅延させれば領域 Z が検出され、シフトクロック SCK の最適位相が検出される。

【0175】

このように、クロック位相調整期間を 2 クロック以下にすることで、無駄な調整作業が不要になり、クロック位相調整期間に要する時間を短縮することが可能である。

【0176】

図18は、クロック位相調整期間が複数の維持期間にわたって行われる場合を説明する図である。

【0177】

図18に示すように、維持期間 SUS1 の最初からクロック位相調整が行われる。図3で説明したように、維持期間 SUS1 内でクロック位相調整が終了しない場合には次の維持期間である維持期間 SUS2 の最初からクロック位相調整の続きを開始する。この場合、書き込み期間 AD2 にはあらかじめ図5の位相データ記憶回路 124 に記憶されている遅延シフトクロック DSC が最適位相で出力され、シリアルデータ SD がラッチされる。

【0178】

同様に、維持期間 SUS2 内でもクロック位相調整が終了しない場合、書き込み期間 AD3 にはあらかじめ位相データ記憶回路 124 に記憶されている遅延シフトクロック DSC が最適位相で出力され、シリアルデータ SD がラッチされる。

【0179】

維持期間 SUS3 内にクロック位相調整期間が終了すれば、遅延シフトクロック DSC の最適位相が位相データ記憶回路 124 に記憶され、次の書き込み期間 AD4 からは新たに記憶された遅延シフトクロック DSC の最適位相でシリアルデータ SD がラッチされる。

【0180】

図19は、位相制御回路 123 のクロック位相調整期間中の動作の一例を示すフローチャートである。以下、図18を参照しながら図19のフローチャートの説明を行う。

【0181】

図19に示すように、位相制御回路 123 は、クロック位相調整期間が開始すると第1サブフィールドの維持期間 SUS1 の最初からクロック位相調整を行う（ステップ S11）。次に、位相制御回路 123 は、クロック位相調整が終了したか否かを判定する（ステップ S12）。位相制御回路 123 は、クロック位相調整が終了したと判定した場合、最適位相をデータ記憶回路 124 に記憶させる（ステップ S13）。

【0182】

次に、位相制御回路 123 は、次の書き込み期間が開始したか否かを判定する（ステップ S14）。位相制御回路 123 は、次の書き込み期間が開始していないと判定した場合には待機し、次の書き込み期間が開始したと判定した場合には最適位相で遅延シフトクロック DSC が output され、シリアルデータ SD の転送を行う。（ステップ S15）。

【0183】

ステップ S12 において、位相制御回路 123 は、クロック位相調整が終了していない

と判定した場合、現在の維持期間が終了したか否かを判定する（ステップS16）。

【0184】

位相制御回路123は、現在の維持期間が終了していないと判定した場合にはステップS12から動作を繰り返す。ステップS16において、位相制御回路123は、現在の維持期間が終了したと判定した場合、クロック位相調整を中断する（ステップS17）。

【0185】

次に、位相制御回路123は、次の維持期間が開始したか否かを判定する（ステップS18）。位相制御回路123は、次の維持期間が開始していないと判定した場合には待機する。位相制御回路123は、ステップS18において次の維持期間が開始したと判定した場合、維持期間の最初からクロック位相調整の続きを開始する（ステップS19）。その後、位相制御回路123は、ステップS12から動作を繰り返す。

【0186】

図20は、位相制御回路123が3フィールド毎にクロック位相調整を開始する動作の一例を示すフローチャートである。以下、図3を参照しながら図20のフローチャートの説明を行う。

【0187】

図20に示すように、位相制御回路123は、値Nを0に設定する（ステップS21）。次に、位相制御回路123は1フィールドが終了したか否かを判定する（ステップS22）。

【0188】

位相制御回路123は1フィールドが終了していないと判定した場合は待機する。ステップS22において位相制御回路123は1フィールドが終了したと判定した場合、値Nが2以上か否かを判定する（ステップS23）。位相制御回路123は、値Nが2以上でないと判定した場合は、値Nに1を加算する（ステップS24）。

【0189】

ステップS23において、位相制御回路123は値Nが2以上と判定した場合には、クロック位相調整を開始する（ステップS25）。その後、位相制御回路123は、ステップS21の動作から繰り返す。

【0190】

図21は、書き込み期間における遅延シフトクロックD S C Kを発生するタイミングについて説明する図である。

【0191】

図21(a)はシリアルデータSDの波形図であり、図21(b)および図21(c)は遅延シフトクロックD S C Kの波形図である。

【0192】

図18で説明したように、クロック位相調整期間が終了すると、次の書き込み期間における遅延シフトクロックD S C Kは図5の位相データ記憶回路124に記憶された遅延シフトクロックD S C Kの最適位相が用いられる。

【0193】

図21(b)のように書き込み期間の途中からシフトクロックS C Kの交番パルスが発生する場合、シリアルデータSDの最初の一部がラッチされず、図3のデータドライバ2にシリアルデータSDの一部が転送されないことになる。

【0194】

本実施の形態に係るプラズマディスプレイ装置においては、図21(c)のように書き込み期間が開始すると同時にシフトクロックS C Kを発生し、シリアルデータSDをすべてデータドライバ2に転送する。

【0195】

位相制御回路123は、遅延シフトクロックD S C Kの最適位相が検出された場合に、データドライバ2に出力されるシリアルデータSDaの開始部の位相とデータドライバ2に出力される遅延シフトクロックD S C Kの位相とが一致するよう位相遅延信号D P C

によりデータ遅延回路160の遅延量を制御する。

【0196】

遅延シフトクロックD S C Kの位相が最適位相となったことが検出された場合にはラッチミスが生じないため、高い精度でシリアルデータS D aの位相を調整することができる。

【0197】

位相制御回路123により調整されたシリアルデータS D aの位相は最適位相として位相データ記憶回路129に記憶され、位相制御回路123は、位相データ記憶回路129に最適位相が記憶された後の書き込み期間には、シリアルデータS D aの位相を位相データ記憶回路129に記憶された最適位相に調整する。

【0198】

それにより、最適な位相の遅延シフトクロックD S C Kに同期して最適な位相のシリアルデータS D aがデータドライバ2に転送される。したがって、データドライバ2へのシリアルデータS D aを安定して転送することが可能となる。

【0199】

位相制御回路123は、遅延シフトクロックD S C Kの最適位相またはシリアルデータS D aの最適位相が検出されなかつた場合に、遅延シフトクロックD S C Kの位相を位相データ記憶回路124に前回記憶された最適位相に調整するとともに、シリアルデータS D aの位相を位相データ記憶回路129に前回記憶された最適位相に調整する。

【0200】

この場合、ノイズ等により遅延シフトクロックD S C Kの最適位相またはシリアルデータS D aの最適位相が検出されなかつた場合でも、データドライバ2へのシリアルデータS D aの安定した書き込み動作が保証される。

【0201】

以上のことから、データドライバ2には必要なシリアルデータS Dをすべて転送することが可能である。

【0202】

なお、本実施の形態に係るプラズマディスプレイ装置においては、遅延シフトクロックD S C Kの立ち下がりでテストパターンをラッチしているが、遅延シフトクロックD S C Kの立ち上がりでテストパターンをラッチしてもよい。

【0203】

本実施の形態に係るプラズマディスプレイ装置においては、シフトクロックS C Kがクロック信号に相当し、シフトクロック発生回路10がクロック信号発生手段に相当し、サブフィールド変換部8がシリアルデータ発生手段に相当し、テストパターン発生回路100がテスト信号発生手段に相当し、フリップフロップ回路110がラッチ手段およびラッヂ回路に相当し、ラッヂミス検出回路130がラッヂミス検出手段およびラッヂミス検出回路に相当し、クロック位相制御回路120または位相制御回路123およびクロック遅延回路140が位相調整手段に相当し、位相データ記憶回路124が第1の記憶手段に相当し、位相維持期間S U S 1～S U S 5が調整期間に相当し、R Sフリップフロップ回路137が保持回路に相当し、クロック遅延回路140がリングバッファに相当し、出力回路143が選択手段に相当し、遅延回路B F (1)～B F (t)が遅延回路に相当し、出力回路144が接続手段に相当し、位相データ記憶回路129が第2の記憶手段に相当する。

【0204】

(第2の実施の形態)

図22は、第2の実施の形態に係るクロック位相調整部9aの内部構成を示すプロック図である。

【0205】

本実施の形態では、P D P 1に2組のデータドライバ2a, 2bが接続されている。

【0206】

クロック位相調整部9aが図4のクロック位相調整部9と異なる点は、2組のデータドライバ2a, 2bに対して2組のテストパターン発生回路100a, 100b、データ遅延回路160a, 160bおよびフリップフロップ回路110a, 110bを含み、共通のクロック位相制御回路120およびワイヤード-OR回路150を含む点である。

【0207】

また、2組のデータドライバ2a, 2bは、それぞれラッチミス検出回路130a, 130bを含む。

【0208】

テストパターン発生回路100a, 100bには、図1のサブフィールド変換部8により出力されたシリアルデータSDとクロック位相制御部120により出力されたテストパターン制御信号TPCとが与えられる。

【0209】

テストパターン発生回路100a, 100bは、図2で説明した書き込み期間AD1～AD5において、サブフィールド変換部8から与えられたシリアルデータSDをそのまま出力する。また、テストパターン発生回路100a, 100bは、図3で説明したクロック位相調整期間においてテストパターン制御信号TPCに応じてテストパターンTPを出力する。

【0210】

データ遅延回路160aには、テストパターン発生回路100aにより出力されたシリアルデータSDまたはテストパターンTPがそれぞれ与えられる。データ遅延回路160aは、テストパターンTPをそのまま出力し、クロック位相制御部120から与えられる位相遅延信号DPCaに基づいてシリアルデータSDを遅延させて出力する。

【0211】

データ遅延回路160bには、テストパターン発生回路100bにより出力されたシリアルデータSDまたはテストパターンTPがそれぞれ与えられる。データ遅延回路160bは、テストパターンTPをそのまま出力し、クロック位相制御部120から与えられる位相遅延信号DPCbに基づいてシリアルデータSDを遅延させて出力する。

【0212】

フリップフロップ回路110a, 110bには、データ遅延回路160a, 160bにより出力されたシリアルデータSDまたはテストパターンTPとシフトクロックSCKとが与えられる。

【0213】

フリップフロップ回路110aは、シフトクロックSCKの立ち下がりでシリアルデータSDまたはテストパターンTPをラッチし、シリアルデータSDaaまたはテストパターンTPaaとして出力する。

【0214】

フリップフロップ回路110bは、シフトクロックSCKの立ち下がりでシリアルデータSDまたはテストパターンTPをラッチし、シリアルデータSDabまたはテストパターンTPabとして出力する。

【0215】

ラッチミス検出回路130aには、フリップフロップ回路110aにより出力されたテストパターンTPaaとクロック位相制御部120が出力した遅延シフトクロックDSCとが与えられる。ラッチミス検出回路130aは、テストパターンTPaaを遅延シフトクロックDSCとが与えられることにより、ラッチミス発生の有無を示すラッチミス検出信号LMAを出力する。

【0216】

ラッチミス検出回路130bには、フリップフロップ回路110bにより出力されたテストパターンTPabとクロック位相制御部120が出力した遅延シフトクロックDSCとが与えられる。ラッチミス検出回路130bは、テストパターンTPabを遅延シフトクロックDSCとが与えられることにより、ラッチミス発生の有無を示す

ラッチミス検出信号LMbを出力する。

【0217】

ラッチミス検出回路130a, 130bは、オープンドレイン出力を有する。ワイヤード-OR回路150には、ラッチミス検出回路130aが出力したラッチミス検出信号LMaとラッチミス検出信号130bが出力したラッチミス検出信号LMbとが与えられる。

【0218】

ワイヤード-OR回路150は、ラッチミス検出信号LMa, LMbの論理積をラッチミス検出信号LMcとして出力し、クロック位相制御部120に与える。したがって、ラッチミス検出信号LMa, LMbのいずれかにローの部分があれば、ラッチミス検出信号LMcにもローの部分が発生する。

【0219】

クロック位相制御部120は、クロック位相調整期間にラッチミス検出信号LMcに基づいて遅延シフトクロックDSCkの最適位相を検出し、遅延シフトクロックDSCkを出力する。

【0220】

また、クロック位相制御部120は、クロック位相調整期間後にシリアルデータSDa, SDabの最適位相を検出し、位相遅延信号DPCA, DPBをそれぞれデータ遅延回路160a, 160bに与える。

【0221】

データドライバ2a, 2bには、フリップフロップ回路110a, 110bが出力したシリアルデータSDaa, SDabとクロック位相制御部120が出力した遅延シフトクロックDSCkとが与えられる。

【0222】

上記のように、本実施の形態に係るクロック位相調整部9においては、ワイヤード-OR回路150により複数のラッチミス検出信号LMa, LMbの論理積がラッチミス検出信号LMCとして出力される。さらに、複数のデータドライバに対して1つのクロック位相制御回路120でシフトクロックSCKの位相調整が可能である。しがたって、回路構成の簡単化が可能である。

【0223】

なお、本実施の形態に係るクロック位相調整部9aにおいては、データドライバ2a, 2bに対しそれぞれテストパターン発生回路100a, 100bが設けられているが、共通のテストパターン回路を設けてもよい。この場合、共通のテストパターン回路は、データドライバ2a, 2bのうちラッチミス検出の対象となる一方に対して選択的にテストパターンTPを発生する。それにより、クロック位相調整部9aの回路構成が簡単化される。

【0224】

また、本実施の形態に係るクロック位相調整部9aにおいては、データドライバ2の個数は2であるが、3以上あっても構わない。

【0225】

本実施の形態に係るプラズマディスプレイ装置においては、テストパターン発生回路100a, 100bがテスト信号発生手段に相当し、フリップフロップ回路110a, 110bがラッチ手段およびラッチ回路に相当し、ラッチミス検出回路130a, 130bがラッチミス検出手段に相当する。

【産業上の利用可能性】

【0226】

本発明は、種々の画像を表示するため等に利用することができる。

【図面の簡単な説明】

【0227】

【図1】本発明の一実施の形態に係るプラズマディスプレイ装置の構成を示すプロッ

ク図

【図2】図1に示すプラズマディスプレイ装置に適用されるA D S方式を説明するための図

【図3】図1のクロック位相調整部に与えられたシフトクロックの位相が調整される期間について説明する図

【図4】図1のクロック位相調整部の内部構成を示すブロック図

【図5】クロック位相制御部の内部構成を示すブロック図

【図6】(a)は図4のラッチミス検出回路の内部構成を示すブロック図、(b)はラッチミス検出回路における各部の信号を示すタイミング図

【図7】ラッチミスの検出を説明する図

【図8】(a)はラッチミス検出回路の他の例を示すブロック図、(b)はラッチミス検出回路における各部の信号を示すタイミング図

【図9】(a)はラッチミス検出回路のさらに他の例を示すブロック図、(b)はラッチミス検出回路における各部の信号を示すタイミング図

【図10】(a)はラッチミス検出回路のさらに他の例を示すブロック図、(b)はラッチミス検出回路における各部の信号を示すタイミング図

【図11】(a)は、ラッチミス検出回路のさらに他の例を示すブロック図、(b)は、(a)のラッチミス検出回路における各部の信号を示すタイミング図

【図12】図5のクロック遅延回路の内部構造を示すブロック図

【図13】図11で説明したシフトクロックSCK(0)からシフトクロックSCK(m)の(m+1)個の信号の波形を示す波形図

【図14】クロック遅延回路の他の例を示す図

【図15】遅延シフトクロックの最適位相を説明する図

【図16】位相制御回路が遅延シフトクロックの最適位相を検出する動作の一例を示すフローチャート

【図17】遅延シフトクロックの最適位相の検出に必要なクロック数を説明する図

【図18】クロック位相調整期間が複数の維持期間にわたって行われる場合を説明する図

【図19】位相制御回路のクロック位相調整期間中の動作の一例を示すフローチャート

【図20】位相制御回路が3フィールド毎にクロック位相調整を開始する動作の一例を示すフローチャート

【図21】書き込み期間における遅延シフトクロックを発生するタイミングについて説明する図

【図22】第2の実施の形態に係るクロック位相調整部の内部構成を示すブロック図

【符号の説明】

【0228】

2, 2a, 2b データドライバ

9, 9a クロック位相調整部

100, 100a, 100b テストパターン発生回路

110, 110a, 110b, 131, 132, 134, 136 フリップフロップ回

路

120 クロック位相制御回路

123 位相制御回路

124 位相データ記憶回路

129 位相データ記憶回路

130, 130a, 130b ラッチミス検出回路

133 EX-OR回路

134a テストパターン遅延部

137 RSフリップフロップ回路

140 クロック遅延回路

160, 160a, 160b データ遅延回路

D S C K 遅延シフトクロック

D W 検出窓信号

L M ラッチャミス検出信号

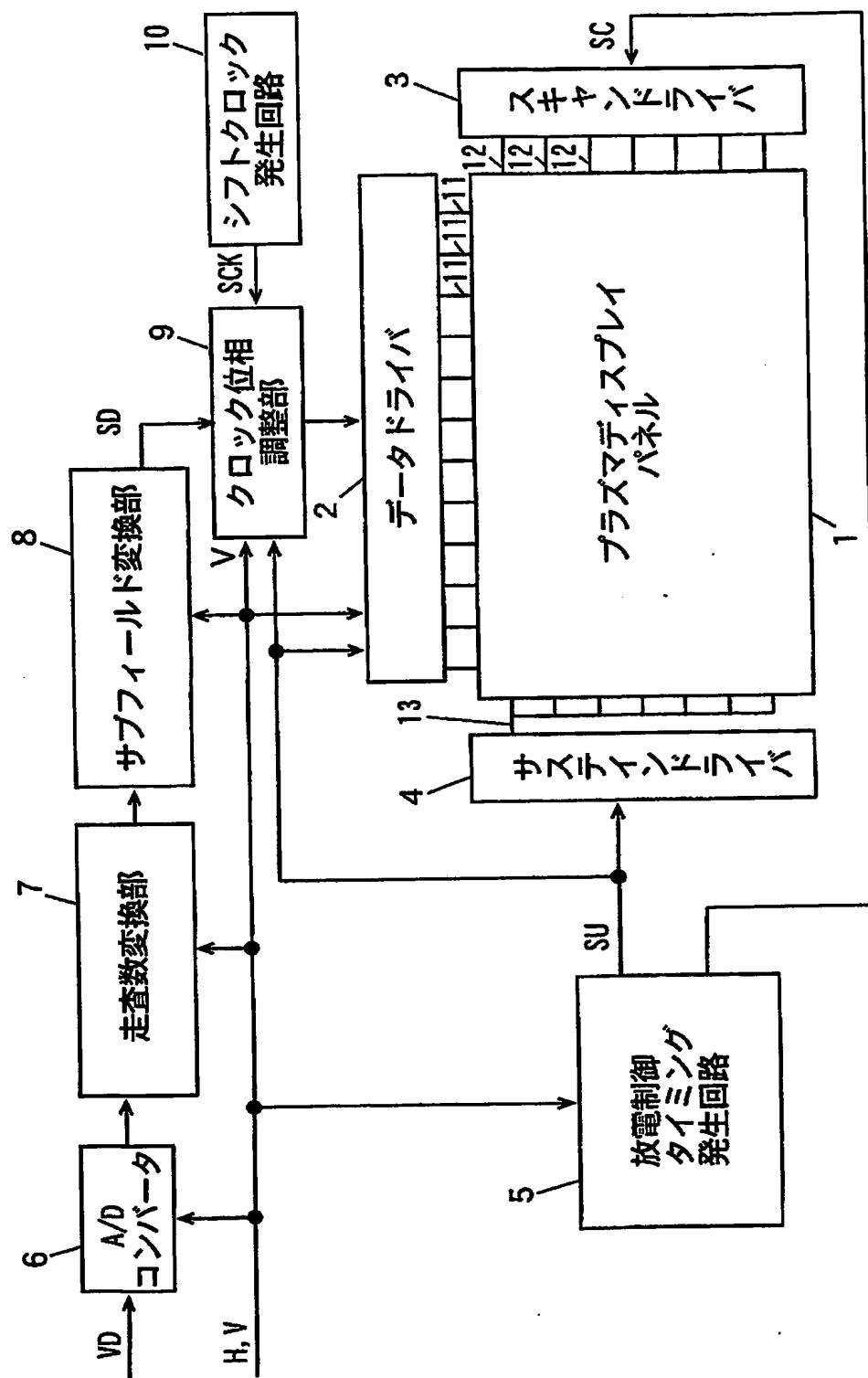
R S リセット信号

S C K シフトクロック

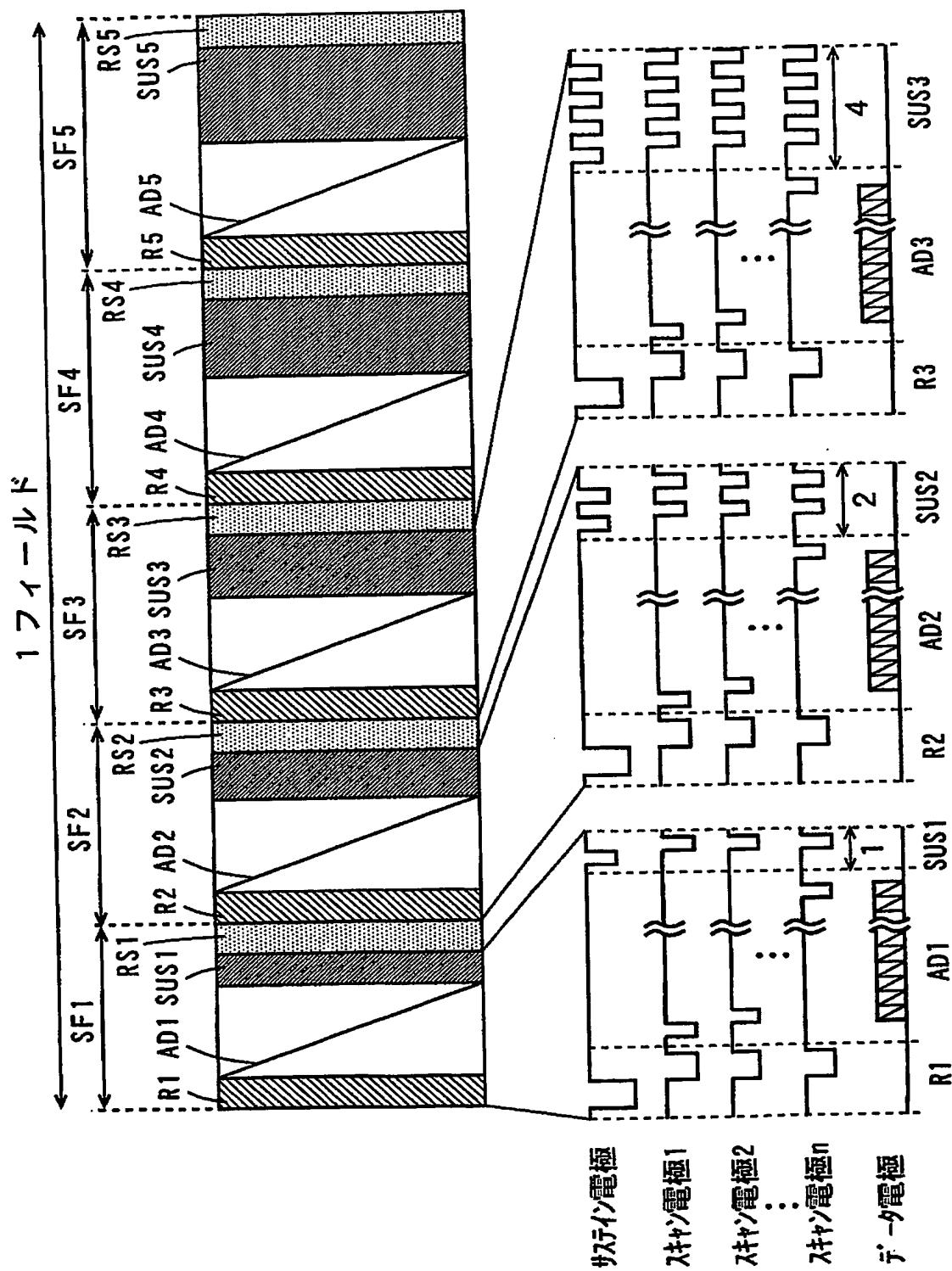
S D シリアルデータ

T P, T P a, T P b, T P c, T P d, T P e, T P f テストパターン

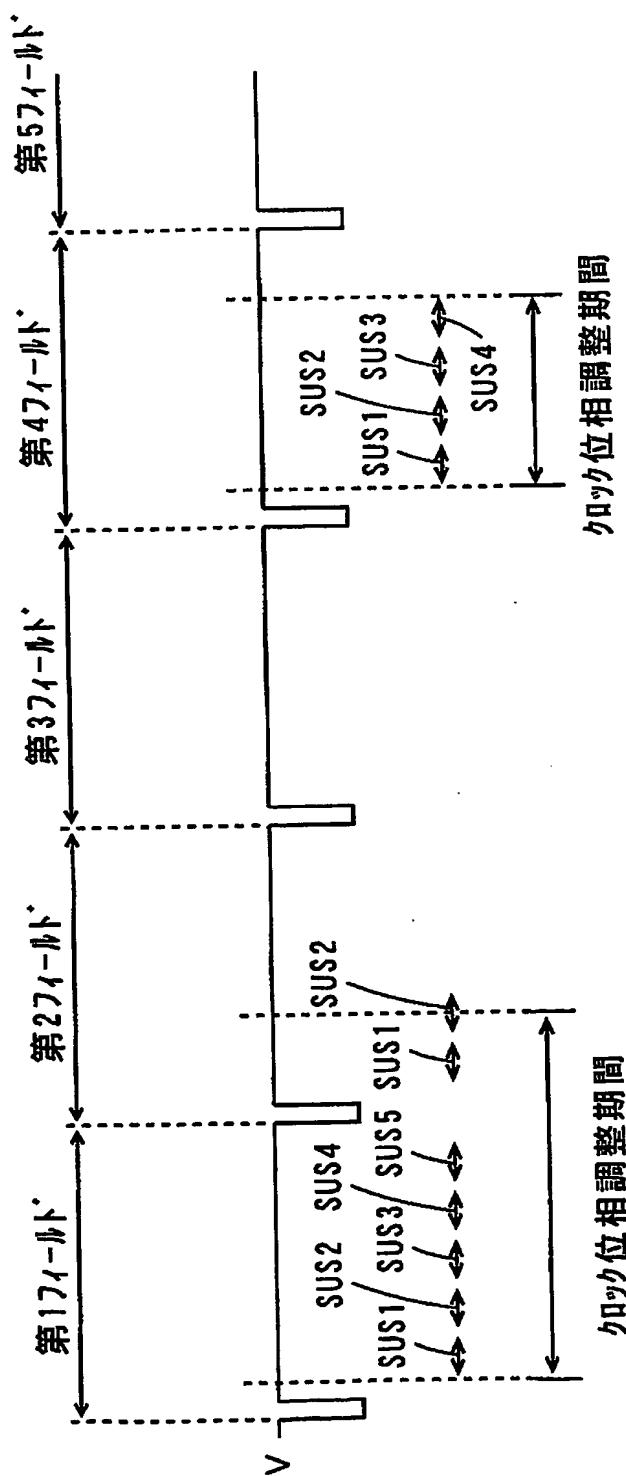
【書類名】図面
【図1】



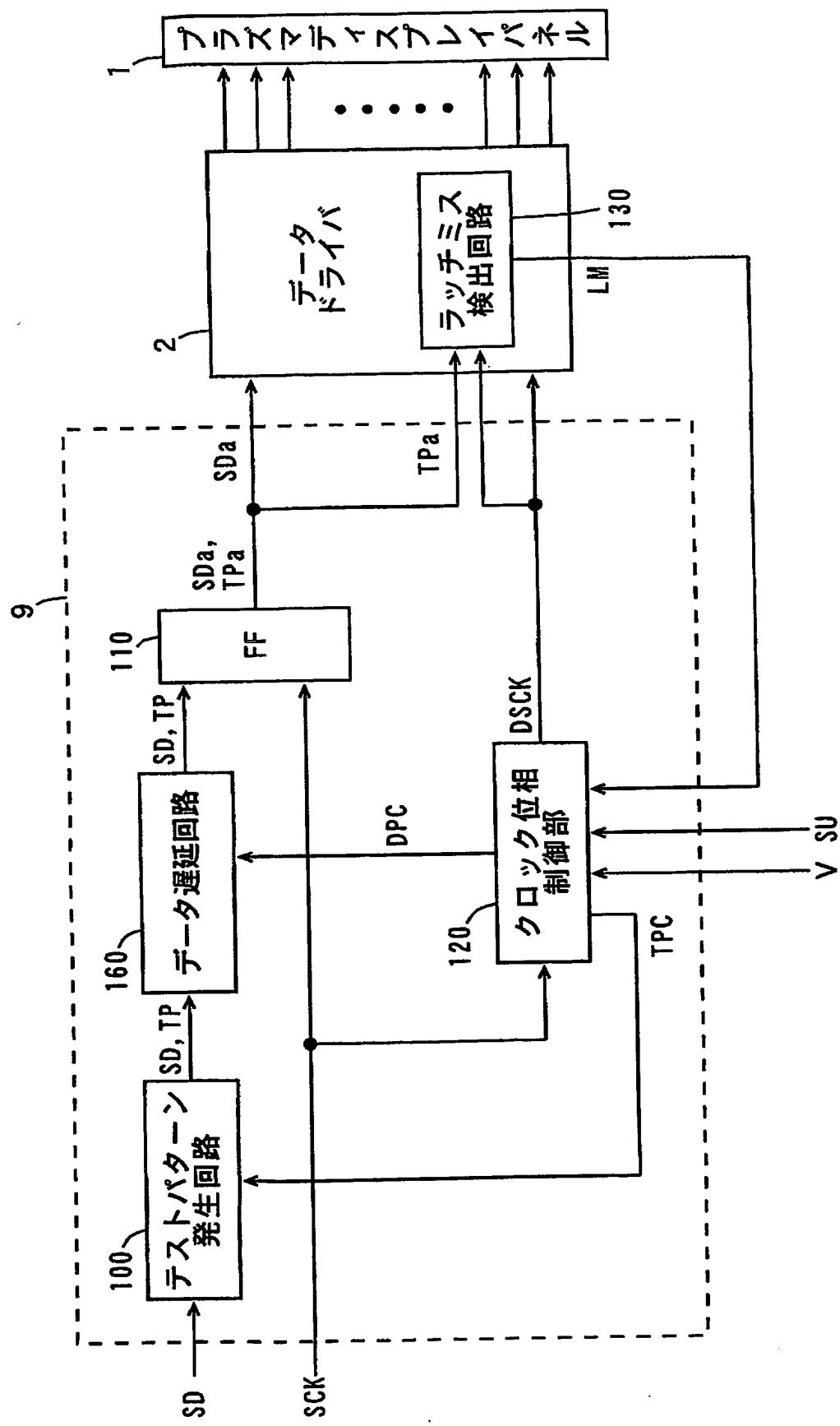
【図 2】



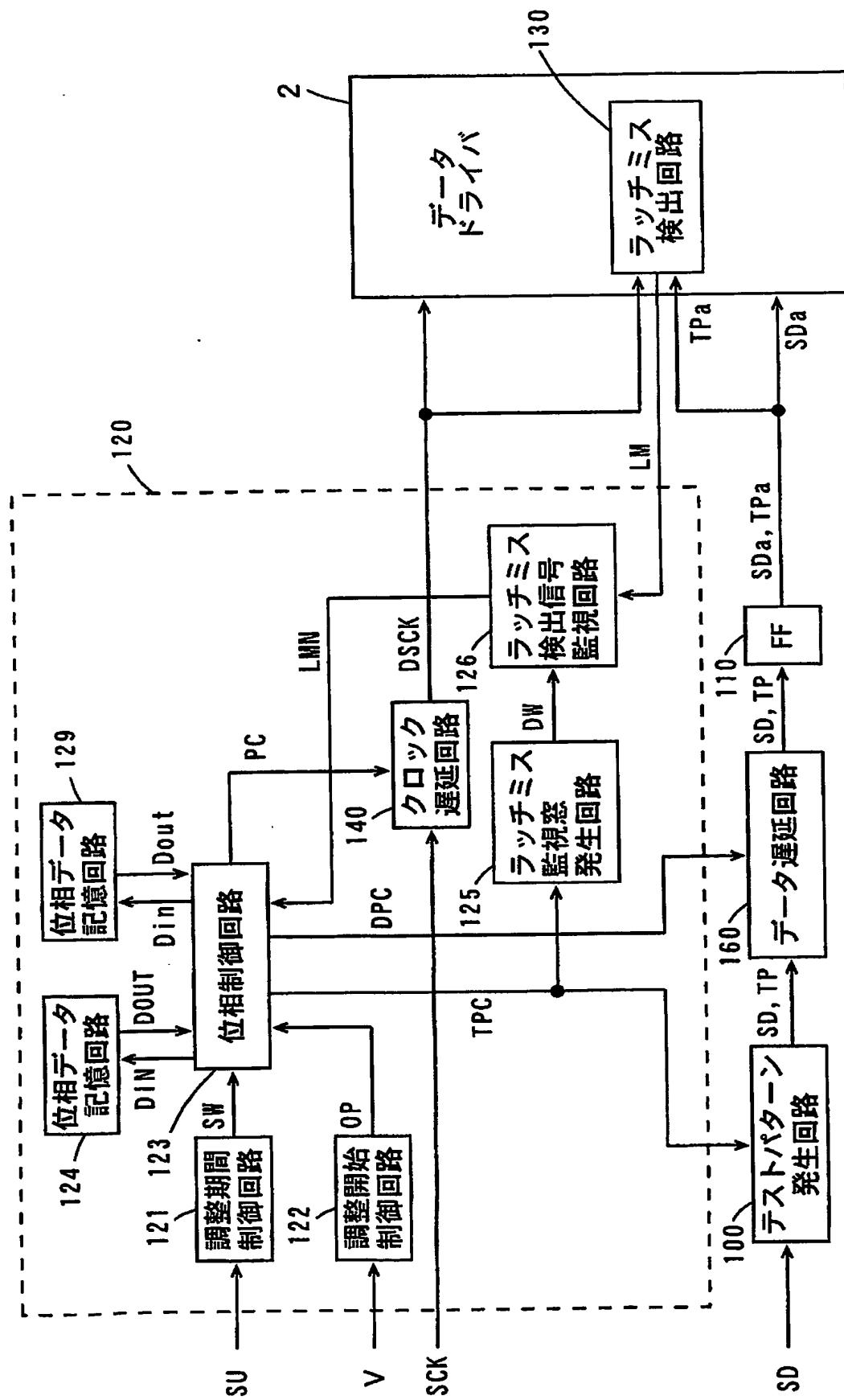
【図3】



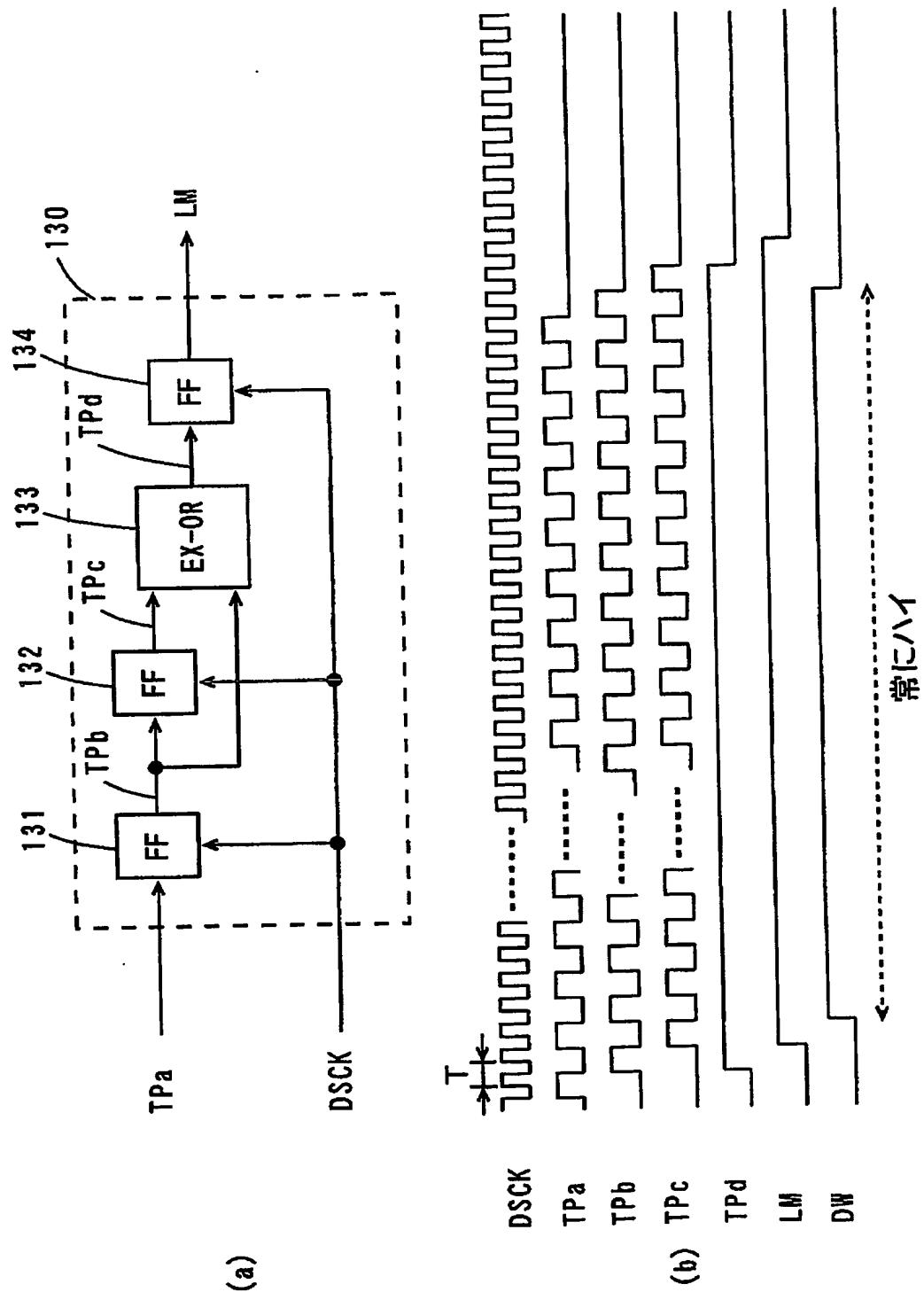
【図4】



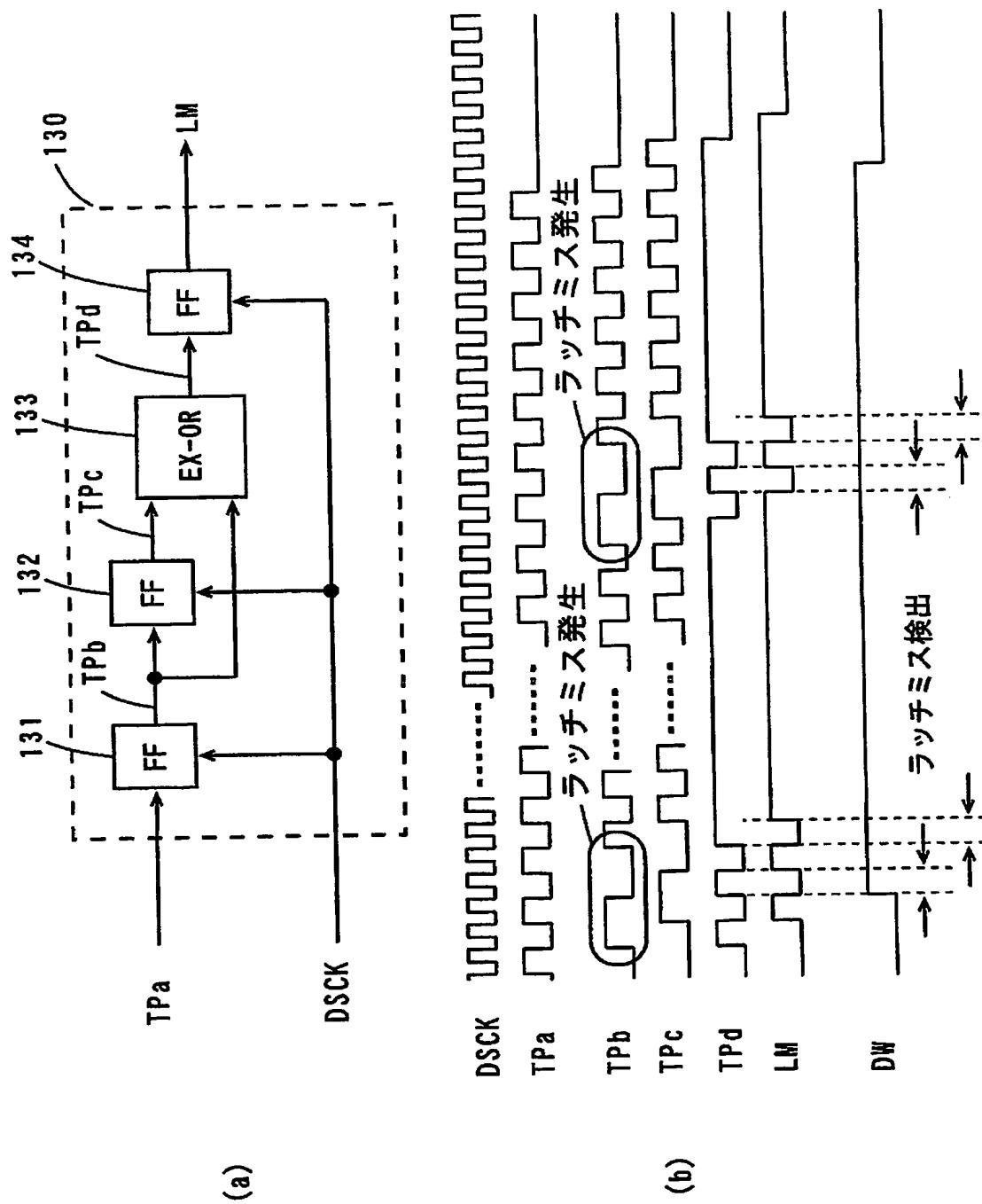
【图 5】



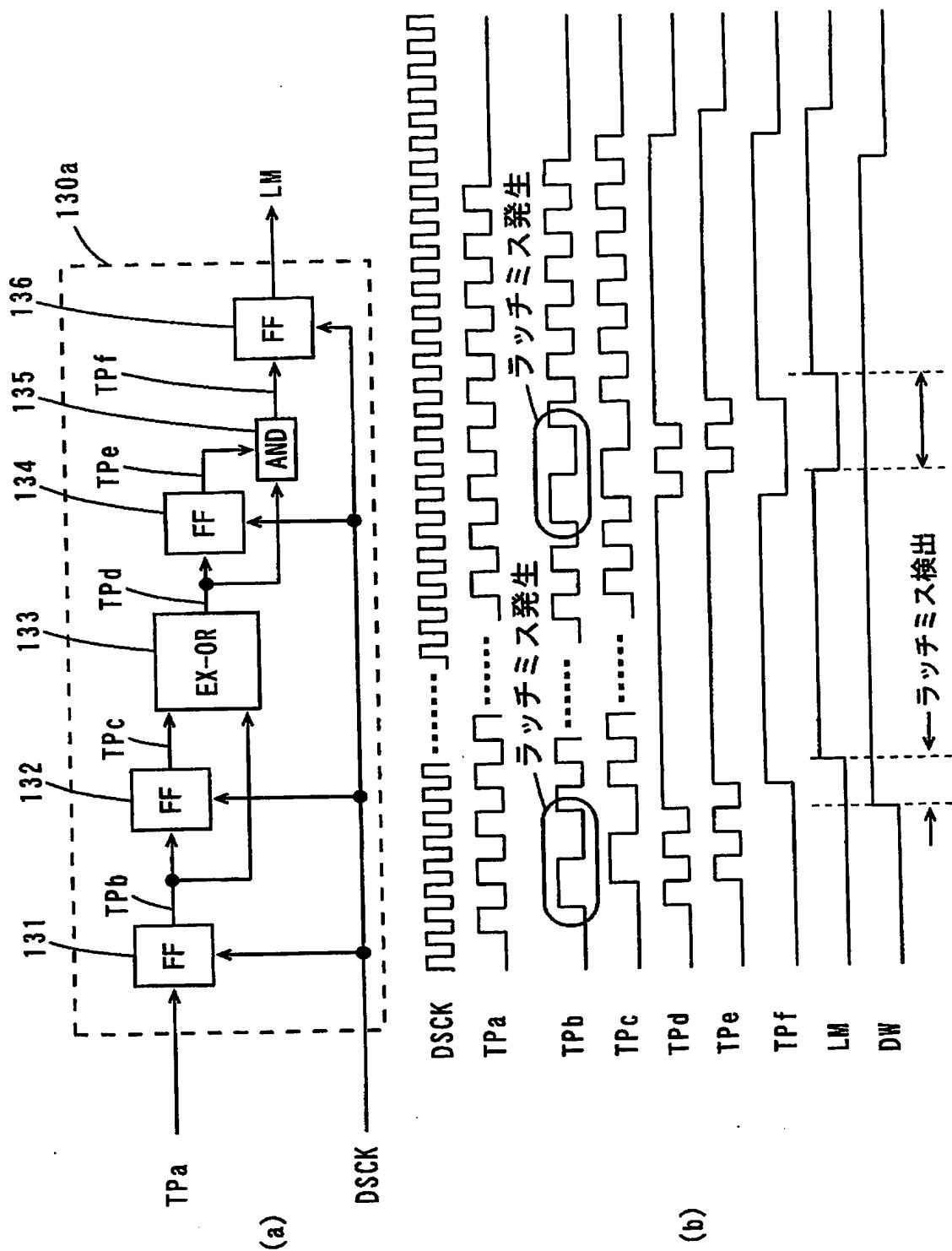
【図6】



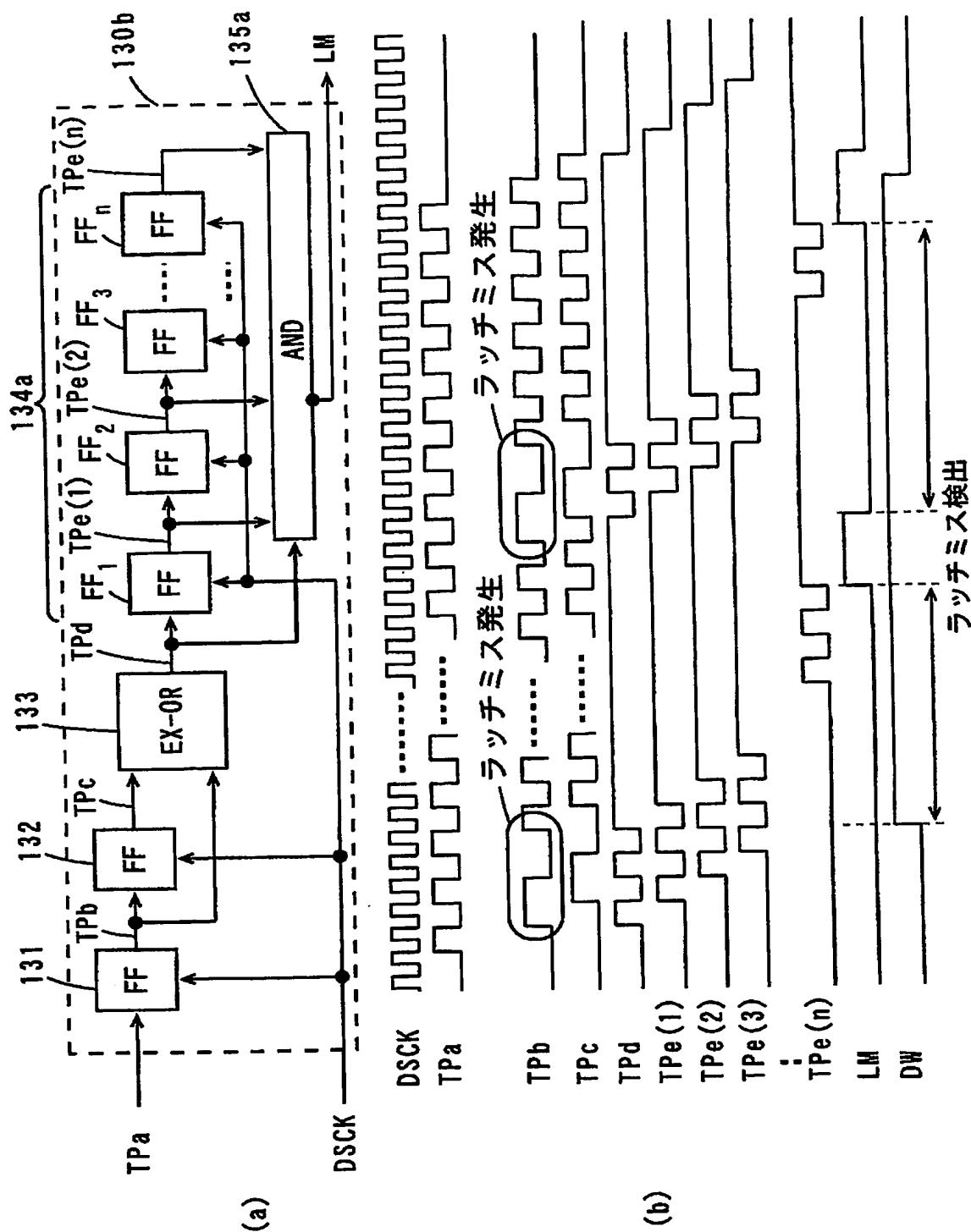
【図7】



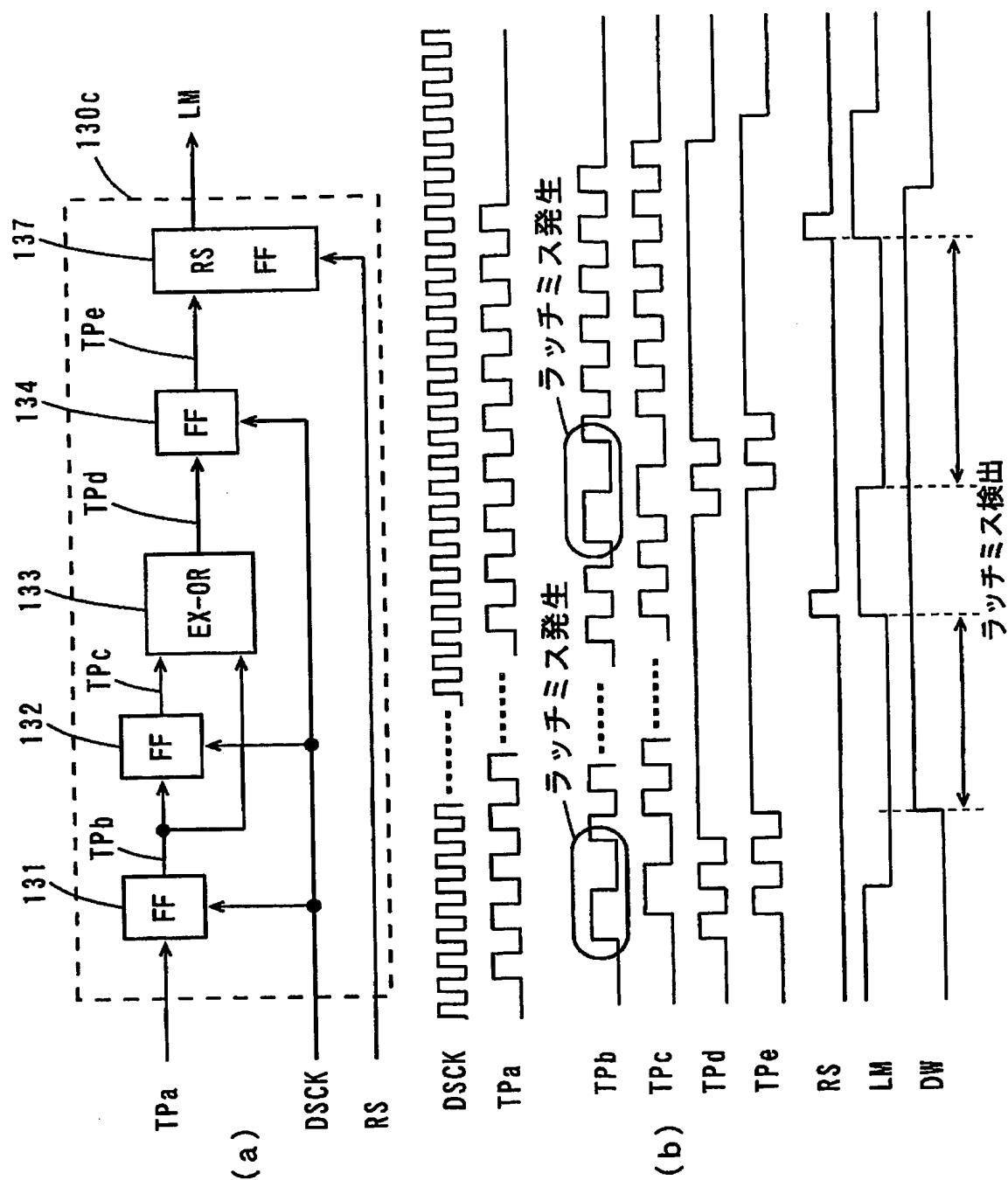
【図8】



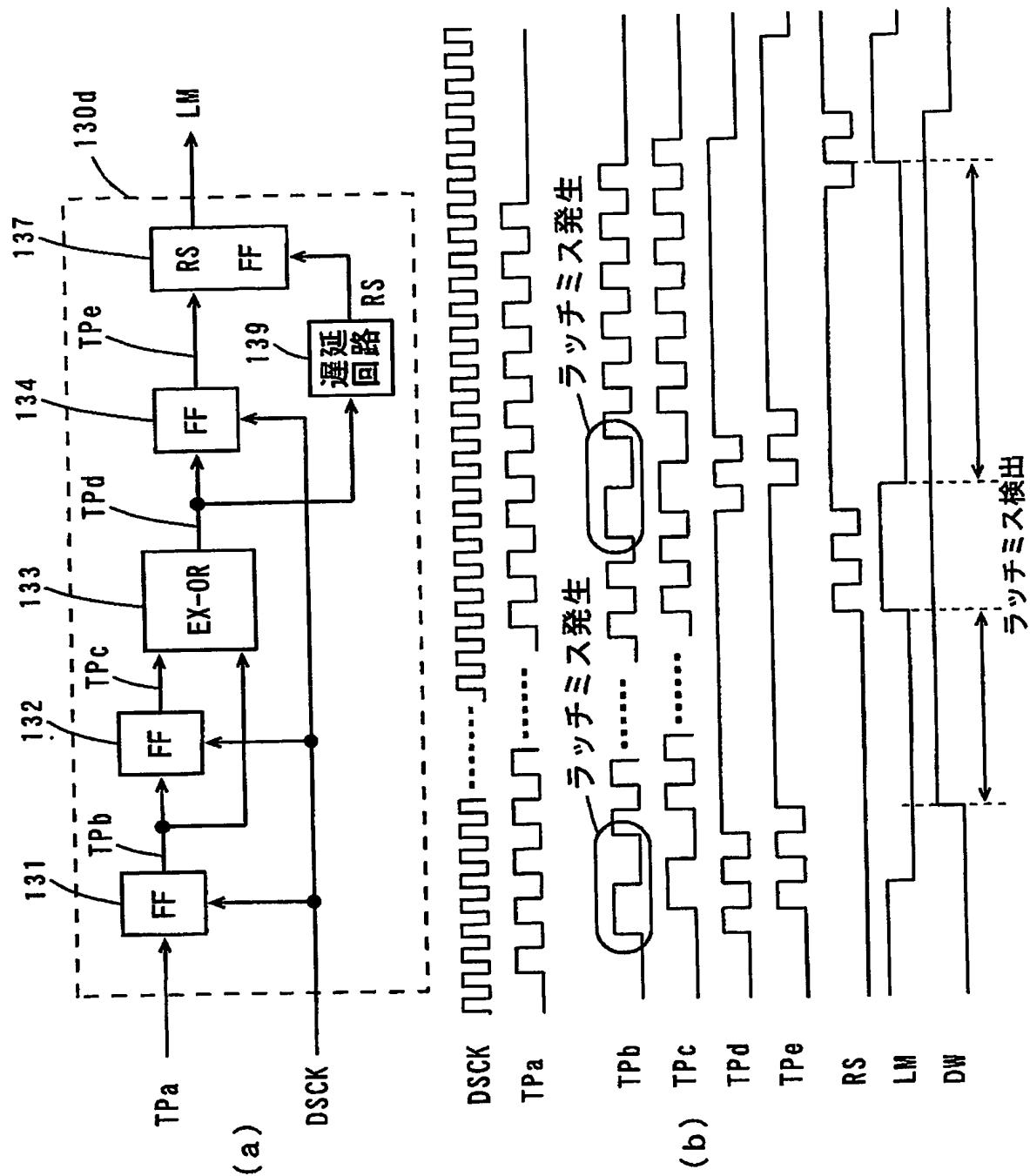
【図9】



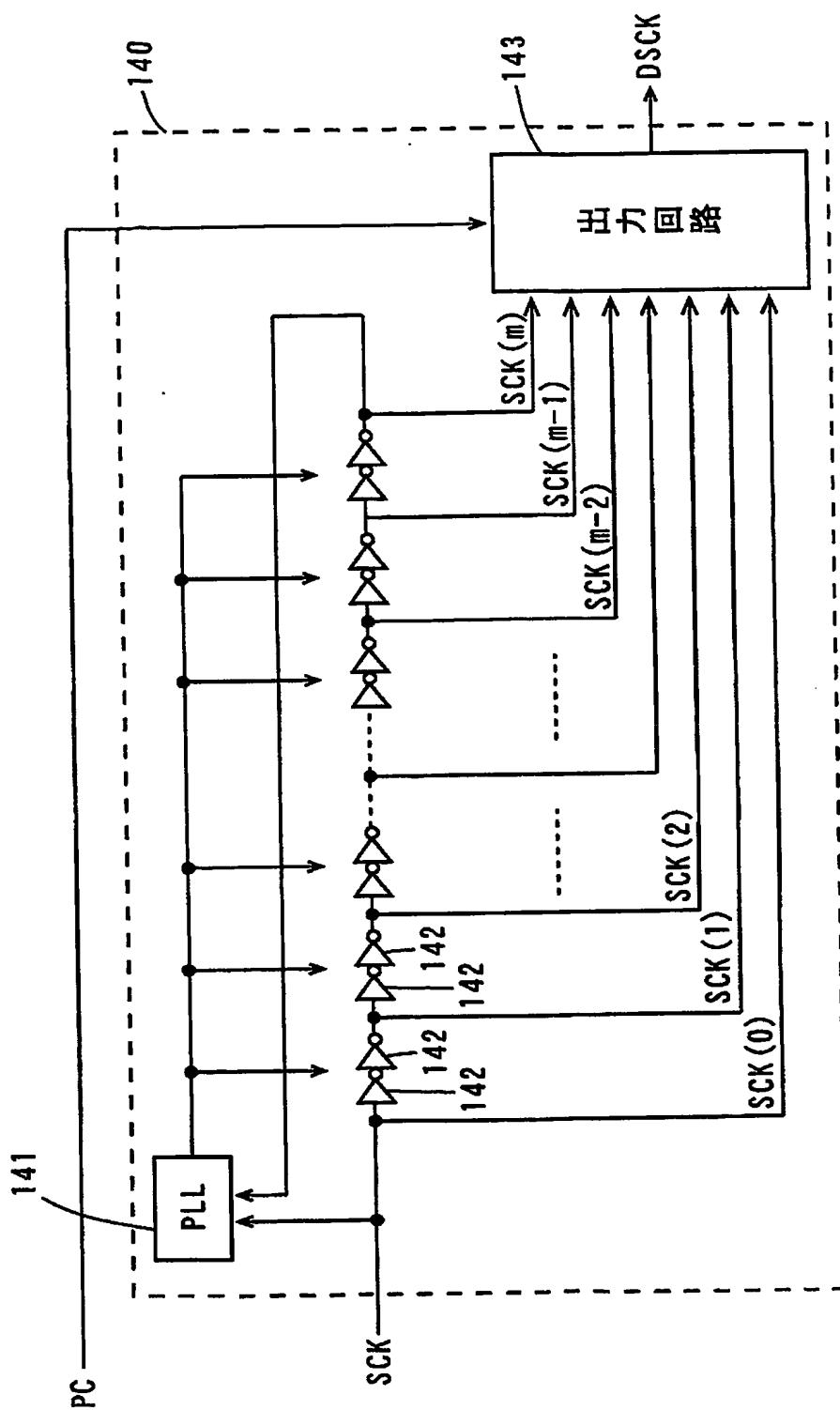
【図10】



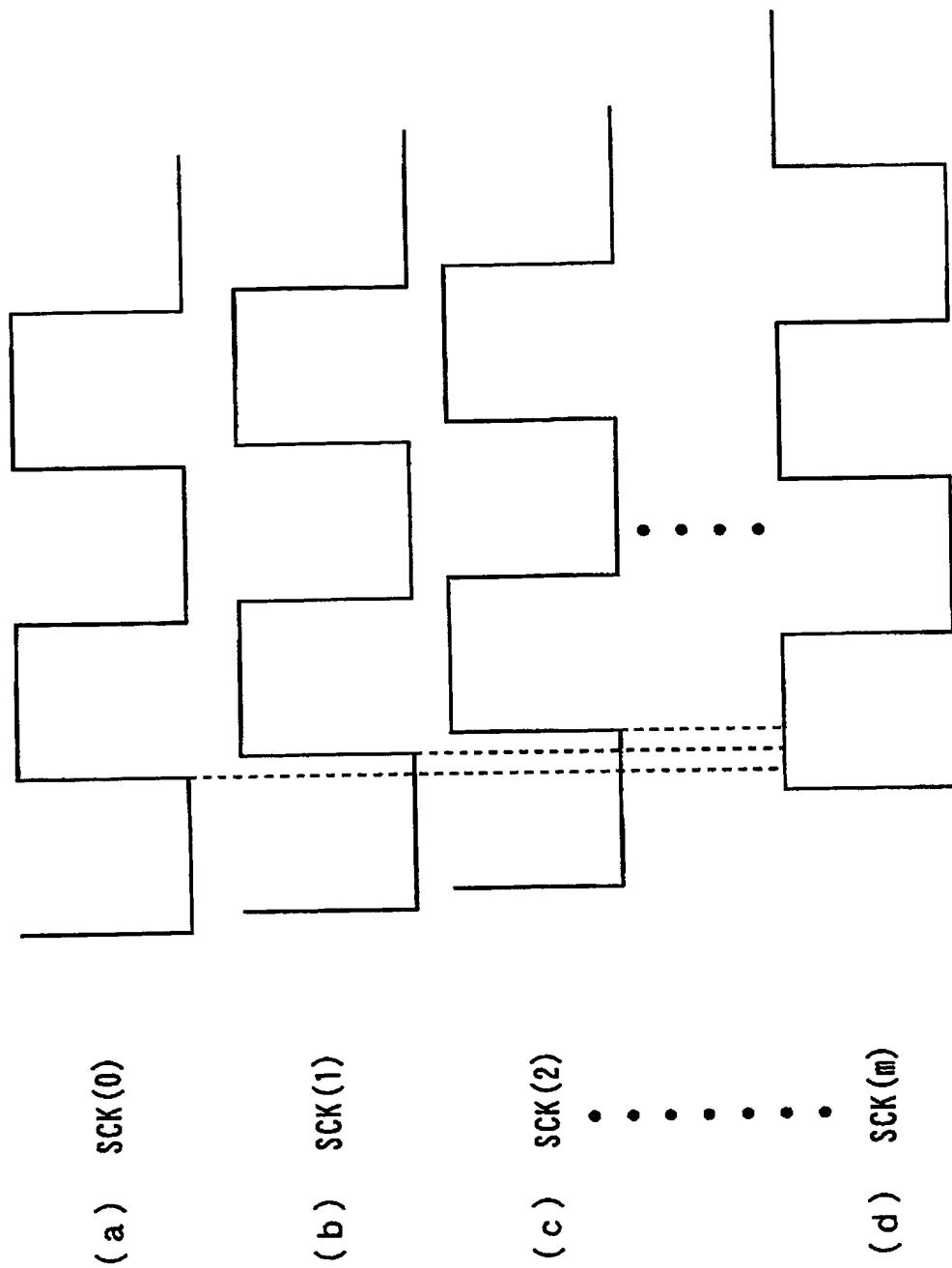
【図 1 1】



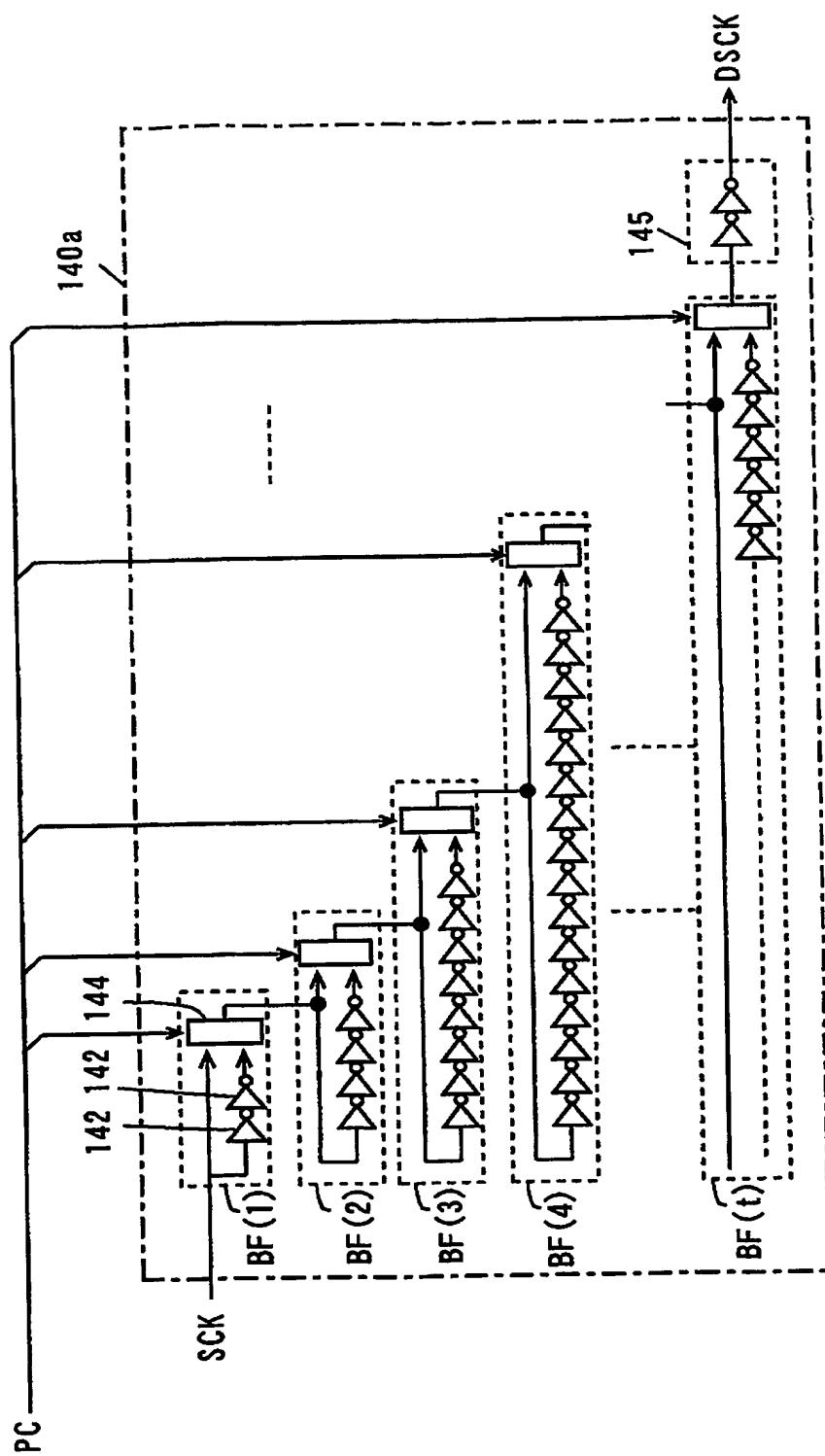
【図12】



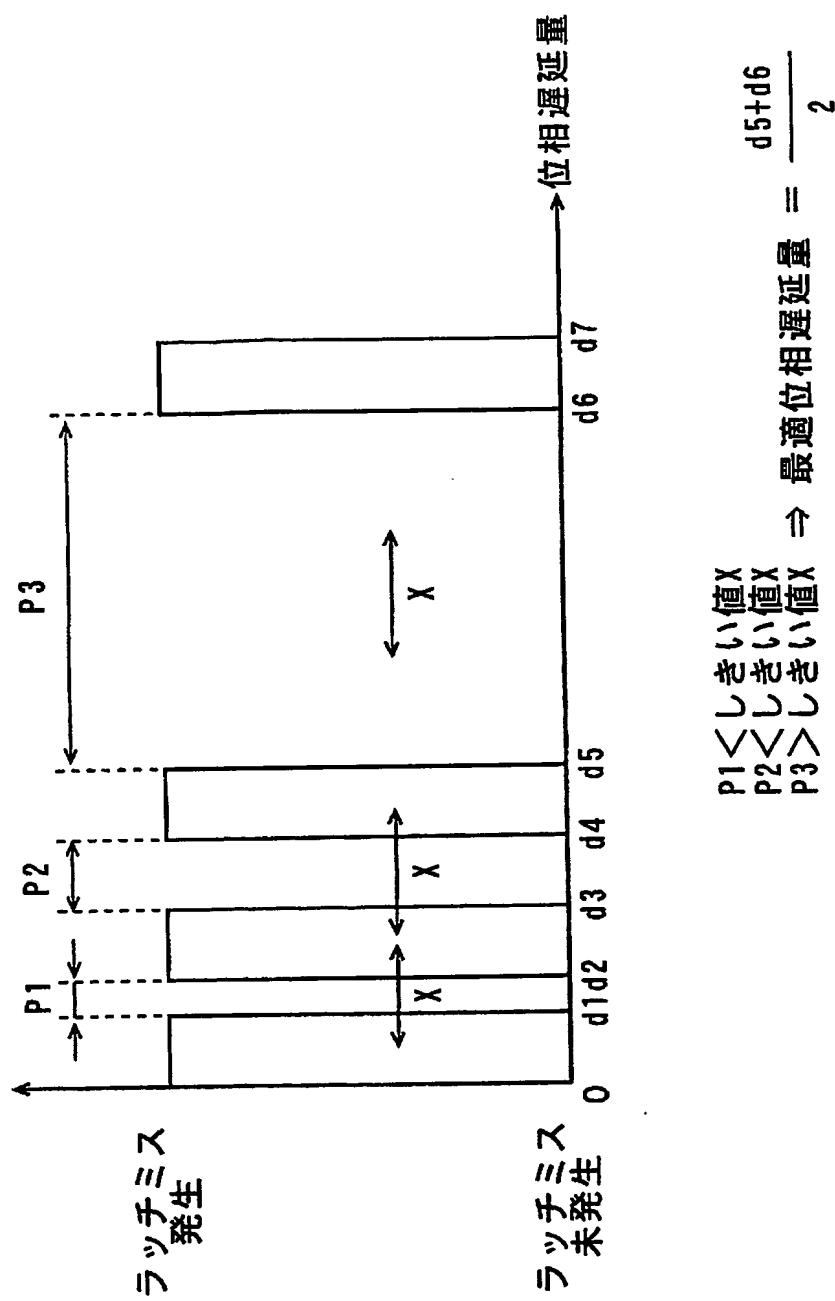
【図13】



【図14】

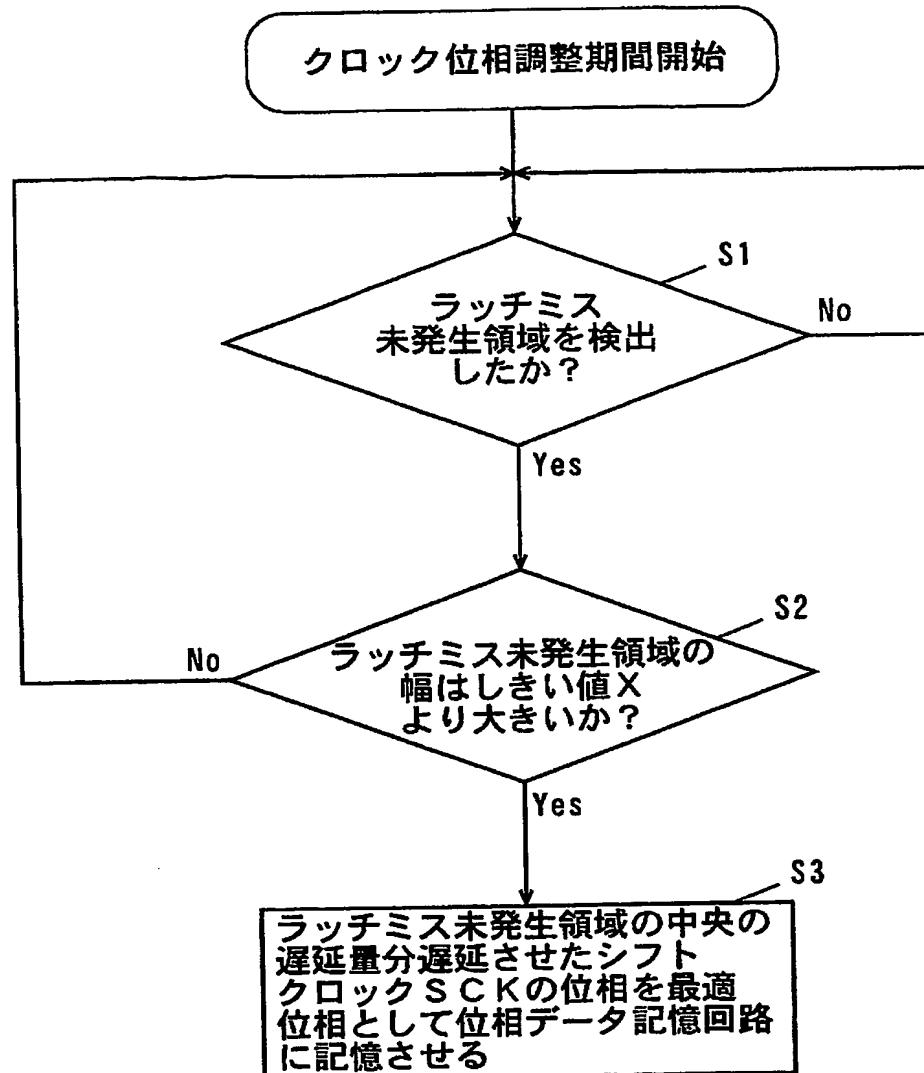


【図15】

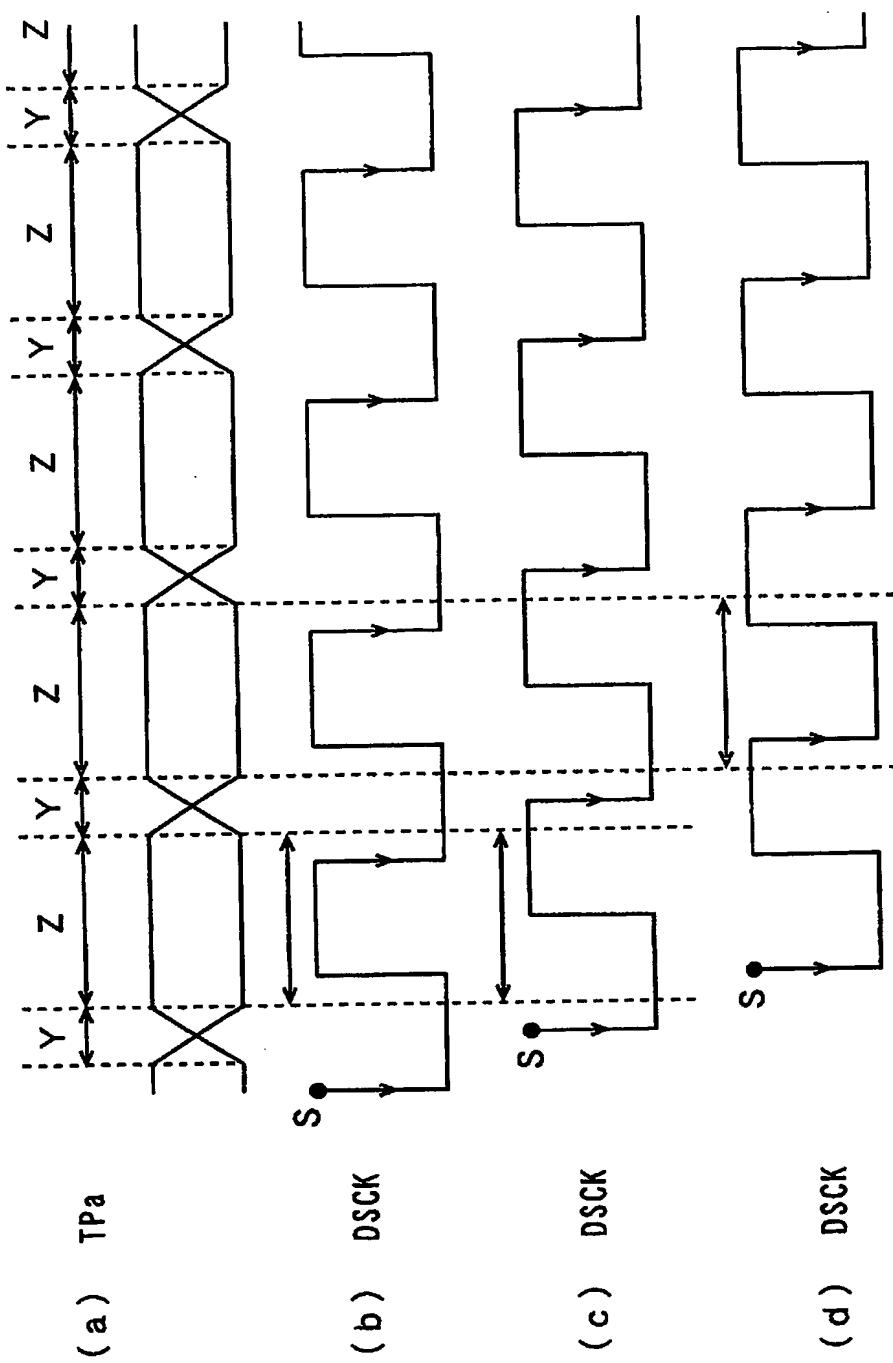


$$P_1 < \text{しきい値} X \\ P_2 < \text{しきい値} X \\ P_3 > \text{しきい値} X \Rightarrow \text{最適位相遅延量} = \frac{d_5 + d_6}{2}$$

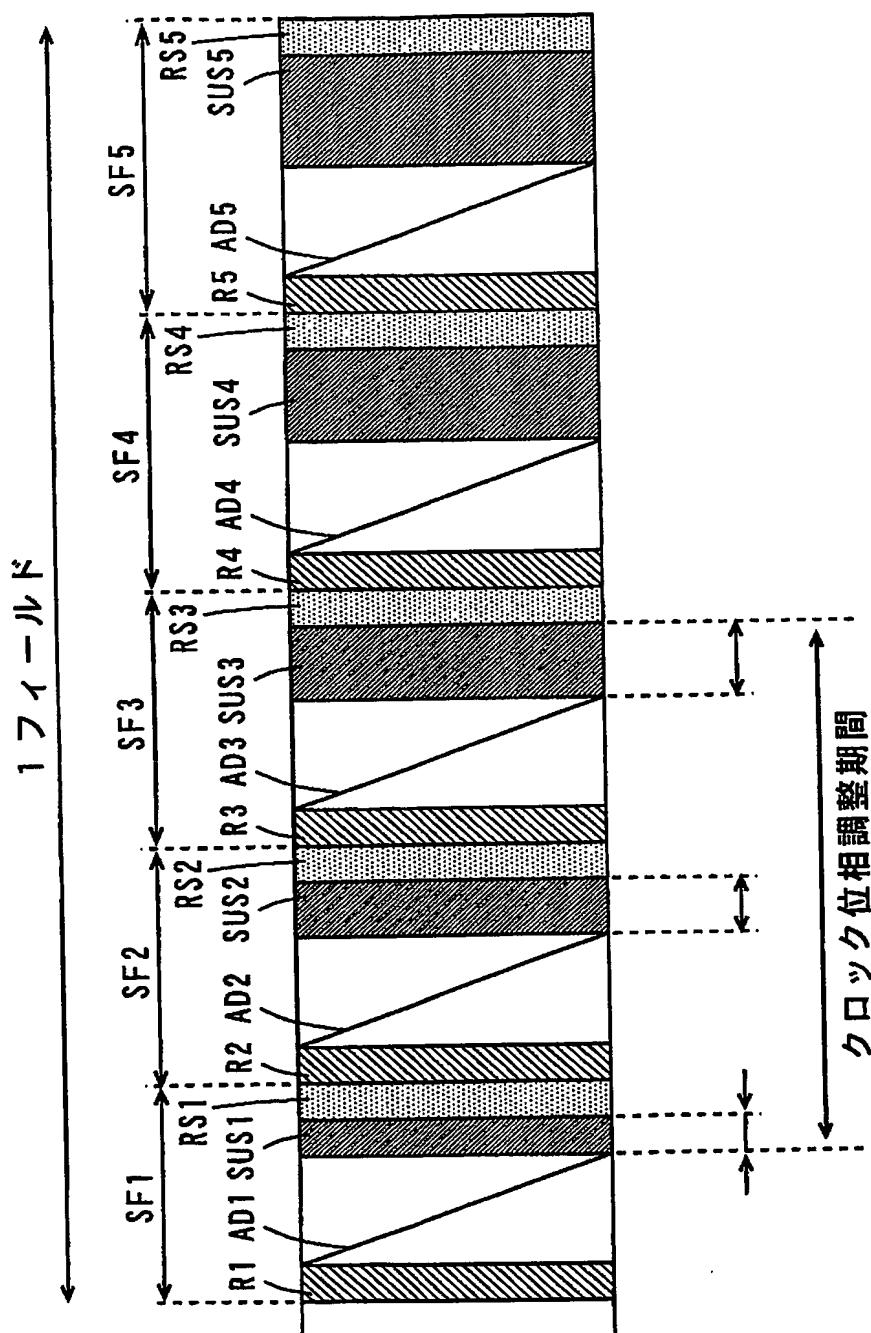
【図16】



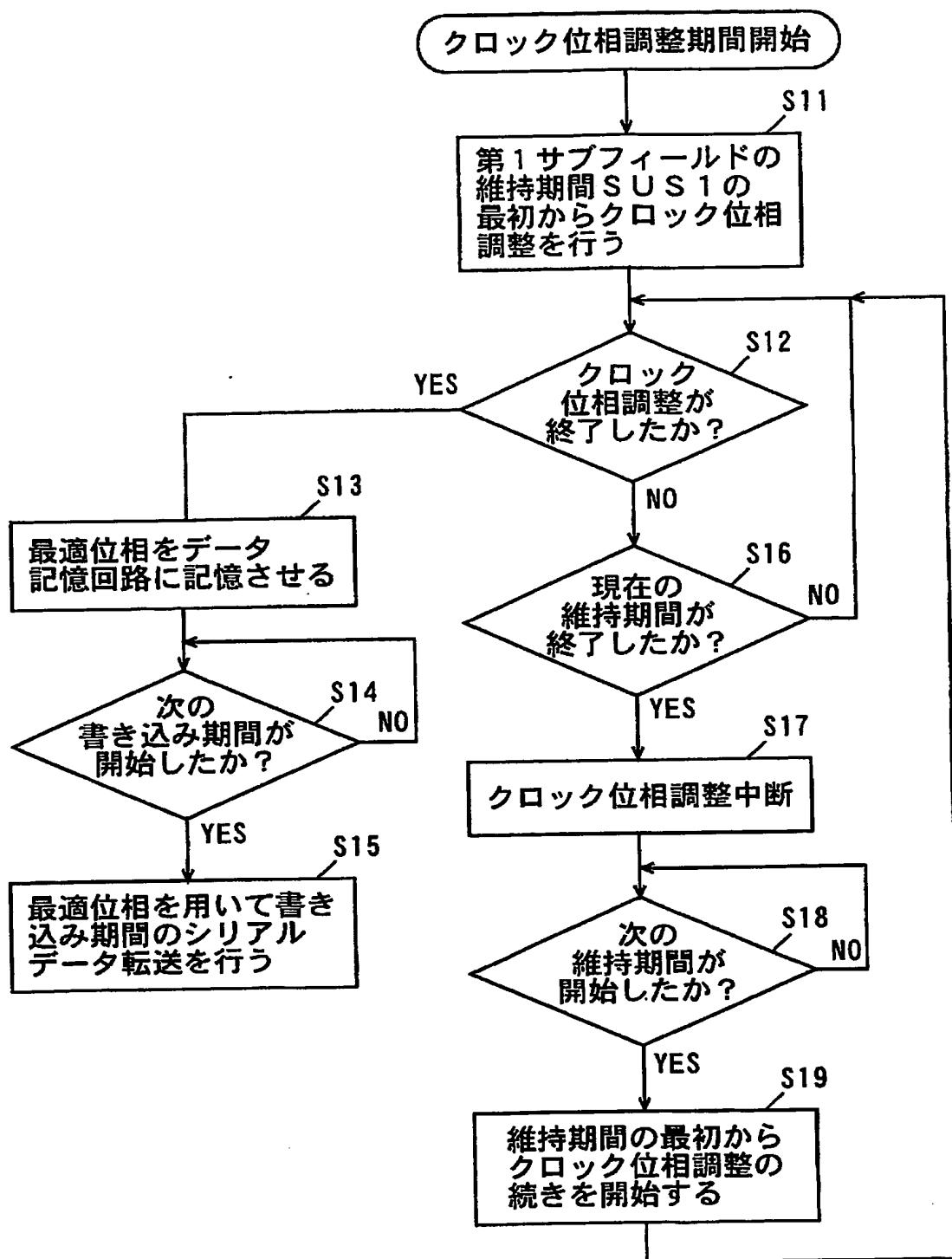
【図17】



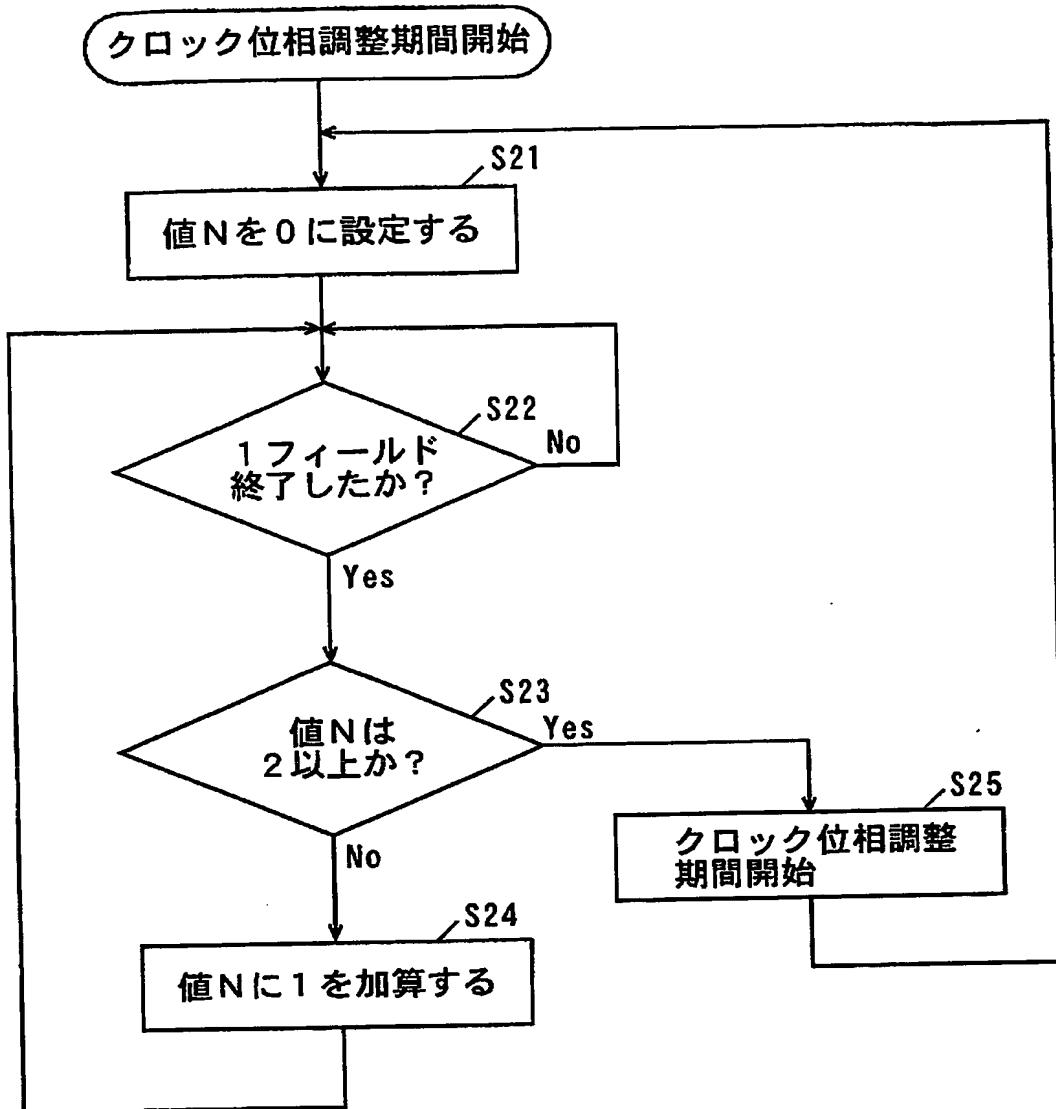
【図18】



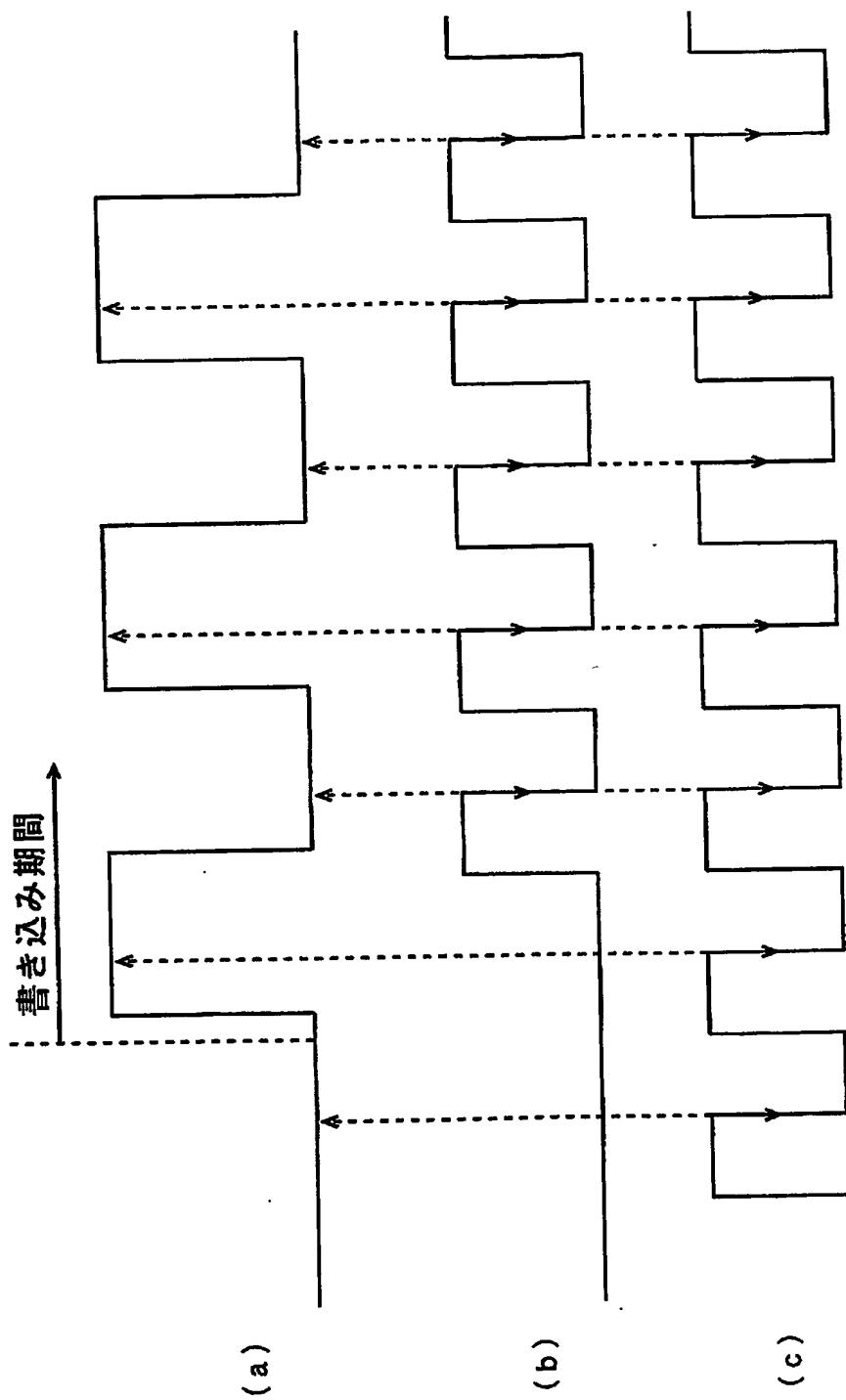
【図19】



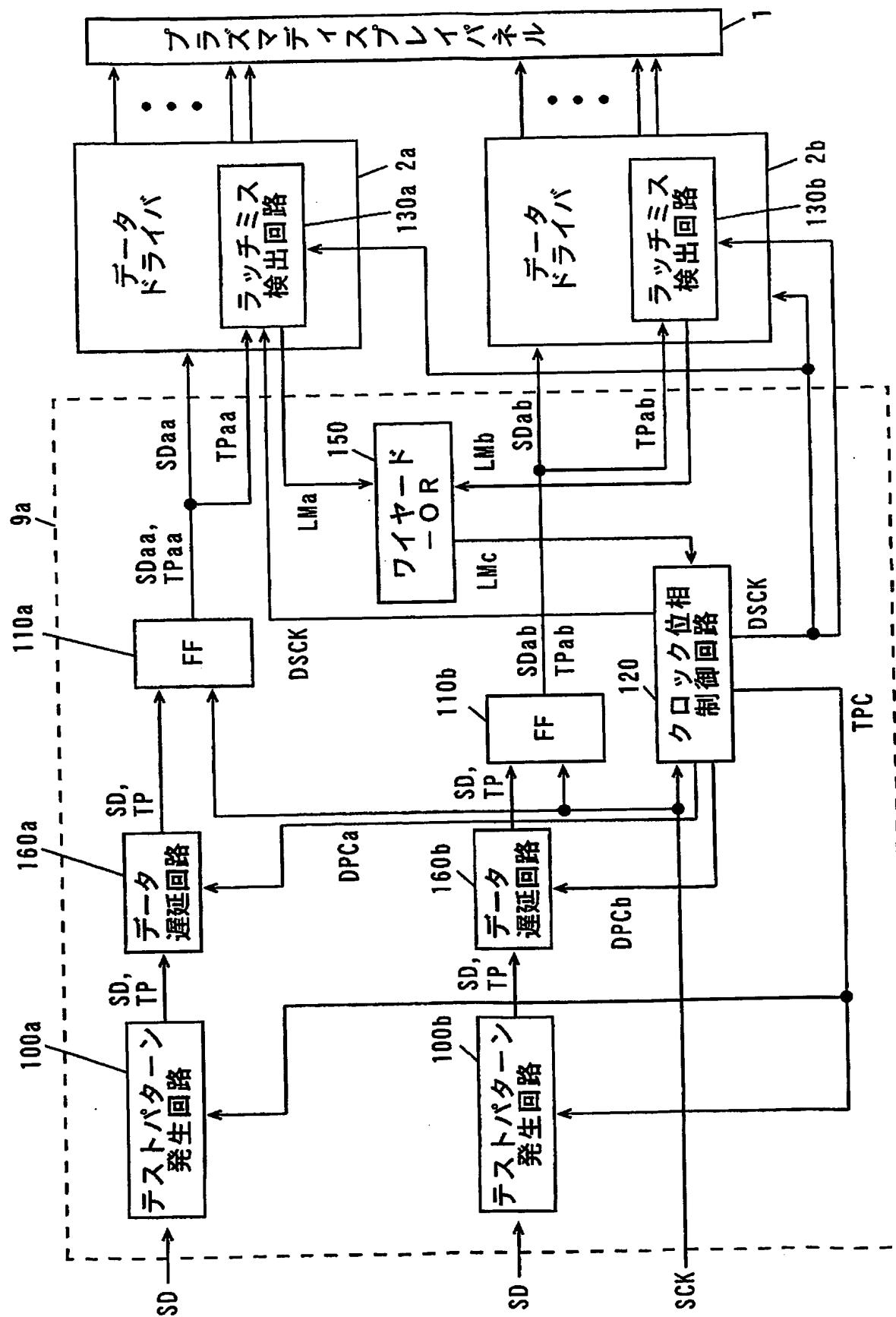
【図20】



【図21】



【図22】



【書類名】要約書

【要約】

【課題】 データドライバにおけるラッチミスの発生が防止された表示装置を提供する。

【解決手段】 テストパターン発生回路100は、クロック位相調整期間において、テストパターンTPを出力する。フリップフロップ回路110は、シフトクロックSCKの立ち下がりでテストパターンTPをラッチし、テストパターンTPaとして出力する。ラッチミス検出回路130は、テストパターンTPaおよび遅延シフトクロックDSCKに基づいてラッチミス発生の有無を示すラッチミス検出信号LMを出力する。クロック位相制御部120は、ラッチミス検出信号LMに基づいてシフトクロックSCKを遅延させることにより遅延シフトクロックDSCKを出力する。

【選択図】

図4

特願 2004-156409

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.